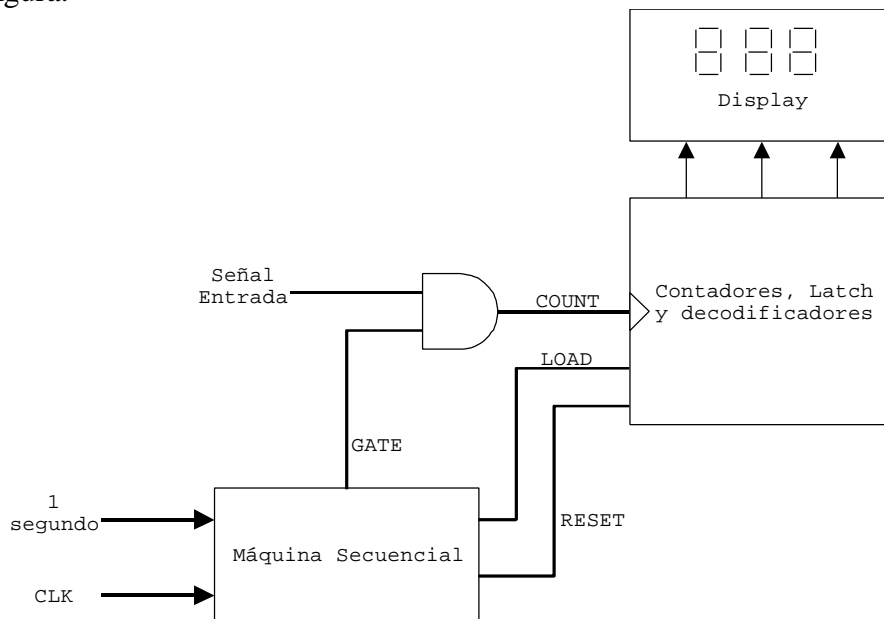


APELLIDOS : _____

NOMBRE: _____ D.N.I.: _____

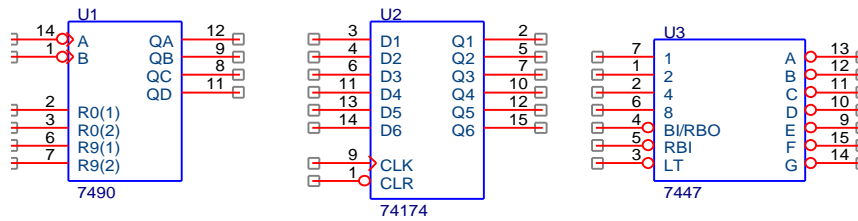
P1. Diseñar un contador de frecuencia que muestre la frecuencia de la señal conectada a su entrada en un panel de tres dígitos. El aparato estará formado por varios bloques según la figura.



La maquina de estados controla el contador, la puerta AND de entrada y el latch. El funcionamiento es el siguiente: se resetea el contador a cero y se deja pasar la señal de entrada para que el contador cuente el numero de pulsos (señal *COUNT*), pasado un segundo la maquina de estados bloquea la entrada mediante la puerta AND (señal *GATE*), fija también la cuenta en el latch para que aparezca en la pantalla mediante la señal *LOAD* y genera un pulso de *RESET* para poner a cero el contador en este orden.

Una vez a cero el contador comienza de nuevo el ciclo. El controlador dispone de dos entradas de reloj: una con un periodo de 1 segundo que se emplea para la apertura de la entrada y la otra con un periodo mucho menor para el funcionamiento de la maquina de estados (optativa).

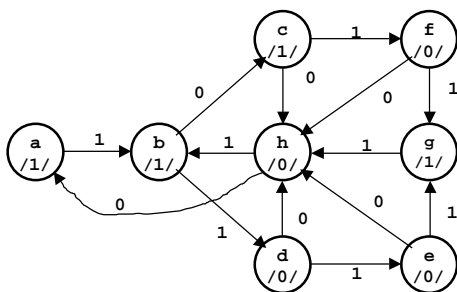
a) Implementar los bloques del Latch y Contador para representar la cuenta mediante tres displays de siete segmentos de ánodo común. Emplear los componentes 74LS90, 74LS47 y 74LS174. (1 punto)



Nota: Para que el contador trabaje en BCD, la patilla CKB debe unirse con la salida QA, que es la menos significativa. El reset se consigue uniendo todas las patillas R0 y es activo a nivel bajo, siendo un reset asíncrono. Las entradas R9 realizan una puesta a 9 del contador y son activas a nivel bajo. La cuenta se incrementa en el flanco de bajada de la señal CKA. Para el 7447 recordar que: LT=1, RBI=1, BI=0. Consultar si es necesario los data sheet del fabricante.

b) Implementar la maquina de estados que controla el frecuencimetro, realizando el diagrama de flujo (0.5 puntos) la implementación (1.5 puntos) y un cronograma del funcionamiento (1 punto). Emplear cualquier tipo de biestable y las puertas lógicas necesarias. El diseño puede ser síncrono o asíncrono.

P2. (3 puntos) Reducir el siguiente diagrama de estados de un autómata síncrono de Moore incompletamente especificado. Al simplificar los estados ir agrupándolos de dos en dos.



Se pide la tabla de estados y la reducción del diagrama mediante la tabla de implicación de estados.

P2. Comentar (2 puntos) y dibujar (1 punto) el cronograma interno de la instrucción ADD A, (IX+23).

- La instrucción suma al contenido del registro acumulador el valor contenido en la dirección de memoria IX+23. La definición general de la instrucción es:

Direccionamiento	Sintaxis	Función	Longitud
Indexado	ADD A, (IX+23)	A ← A + (IX+23)	2 bytes
- Hacer todas las suposiciones que se crean necesarias, siempre que se detallen y justifiquen y no contradigan el enunciado ni la documentación de la UCP genérica. Se permite incluso definir nuevos registros internos no accesibles y sus líneas de control necesarias. Suponer que la ALU puede realizar sumas de 16 bits. Identificar claramente cada ciclo de reloj.

