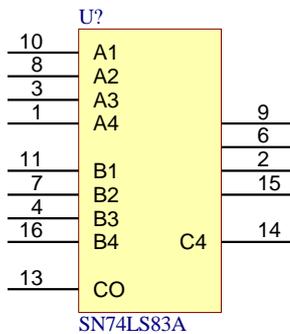


APELLIDOS : _____
 NOMBRE: _____ D.N.I.: _____

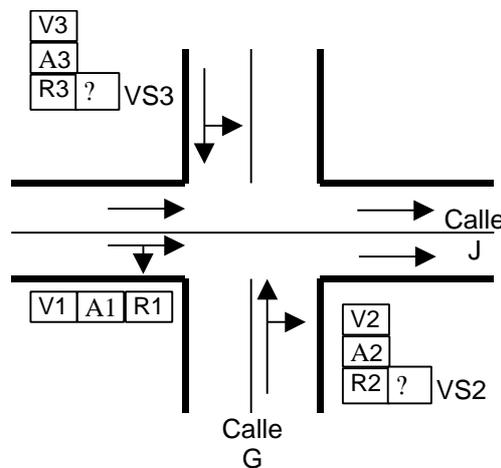
- ?? LEER ATENTAMENTE EL ENUNCIADO.
- ?? RAZONAR CADA UNA DE LAS DECISIONES ADOPTADAS TANTO EN EL HW COMO EN EL SW.
- ?? CUIDAR LA PRESENTACIÓN EVITANDO ESQUEMAS ININTELIGIBLES Y LETRA INDESCIFRABLE.
- ?? UTILIZAR PARA EL DISEÑO LOS CRITERIOS DE INGENIERÍA (MÁXIMA EFICIENCIA, MÍNIMO COSTO).
- ?? UTILIZAR COMENTARIOS EN LA ELABORACIÓN DEL CÓDIGO SW.

P1. (3 puntos) Diseñar un circuito sumador/restador de 8 bits (7 bits más otro de signo) mediante el convenio de complemento a dos, utilizando para ello cuádruples sumadores totales del tipo 7483, así como los operadores lógicos necesarios.



El circuito ha de disponer de una entrada de control S/R que permita en cada momento la selección de la operación que se quiera realizar (suma o resta). El circuito dispondrá asimismo de una salida que indique el rebose u overflow de la operación.

P2. (3 puntos) Se realizará un sistema secuencial síncrono capaz de controlar los tres semáforos de que consta el cruce. La calle J es de un solo sentido, según indican las flechas, permitiéndose el giro a la derecha.



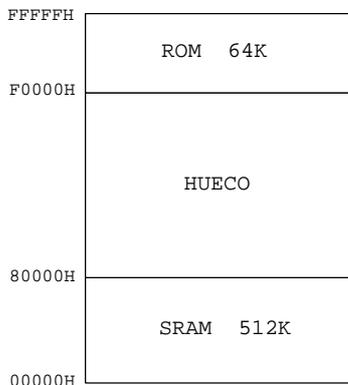
La calle G es de doble sentido, y también se permite desde ambos sentidos girar hacia la calle J. Por lo tanto, los semáforos 2 y 3 que controlan la circulación en la calle G tendrán un suplemento al semáforo (luz verde VS) que permitirá el giro. La secuencia de cambio de los semáforos se indica a continuación y se repite cíclicamente.

V1	A1	R1	V2	A2	R2	VS2	V3	A3	R3	VS3
1	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1	0	0	0
0	0	1	1	0	0	1	1	0	0	0
0	0	1	0	1	0	1	1	0	0	0
0	0	1	0	0	1	1	1	0	0	1
0	0	1	0	0	1	1	1	0	0	1
0	0	1	0	0	1	0	0	1	0	0

Para implementar el diseño no existe ninguna restricción en la utilización de cualquier circuito integrado estándar.

P3. (4 puntos) A un sistema basado en el microprocesador 8086 funcionando a 8MHz en modo mínimo se le desea conectar una interfaz para controlar un display de 7 segmentos en la dirección de E/S 0AF0H y ocho pulsadores.

El sistema dispone 512Kb de RAM y 64Kb de ROM de un mapa de memoria como el especificado en el dibujo siguiente.



Este mapa se realiza mediante memorias SRAM estándar de 128Kx8 y mediante EPROM de 32Kx8.

- a) Diseñar la circuitería lógica necesaria para generar todas las señales de control de las memorias RAM.
- b) Diseñar la circuitería lógica necesaria para generar las señales de control de las memorias ROM.
- c) Diseñar la circuitería lógica de control del display y los pulsadores. Especificar el interfaz hardware/software, o sea, en que dirección del espacio de E/S se ubica cada registro de lectura y/o escritura.
- d) Diseñar un programa en lenguaje ensamblador que lea el teclado y muestre en el display el NUMERO DE TECLA que se ha pulsado, habiendo asignado previamente un número a cada tecla que puede ser el número del bit al que se ha conectado. El programa se ejecutará continuamente.