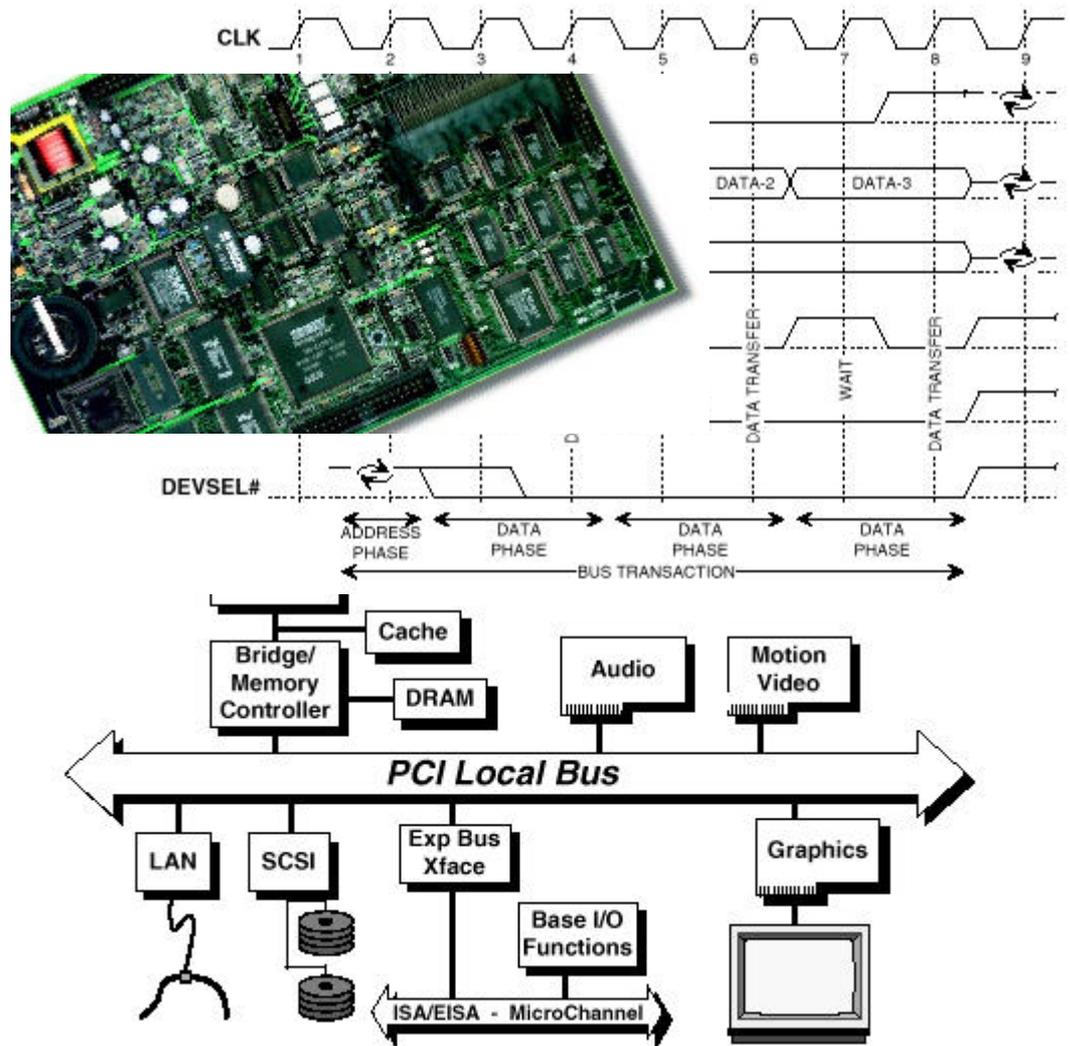




Universidad de Huelva

Escuela Politécnica Superior  
Universidad de Huelva

## 4. BUSES



## INDICE

|  |    |
|--|----|
| 1.- Buses. Conceptos.....                                | 1  |
| 2.- Estructuras de buses.....                            | 2  |
| 3.- Bus de sistema .....                                 | 8  |
| 3.1.- Definición del bus del sistema.....                | 8  |
| 3.1.1.- Descripción general.....                         | 8  |
| 3.1.2.- Descripción de las partes que forman el bus..... | 9  |
| 3.1.3.- Descripción funcional.....                       | 12 |
| 3.1.4.- Características físicas.....                     | 17 |
| 3.2.- Buses normalizados.....                            | 18 |
| 3.3.- El Bus ISA.....                                    | 18 |
| 4.- Técnicas de conexión al bus.....                     | 22 |
| 4.1.- Transmisores.....                                  | 22 |
| 4.2.- Receptores.....                                    | 23 |
| 4.3.- Tansceptores.....                                  | 24 |
| 5.- Dispositivos de conexión al bus.....                 | 27 |

## BIBLIOGRAFÍA

Apuntes Electrónica Industrial Escuela Politécnica Universidad de Málaga

Arquitectura de Equipos y Sistemas Informáticos Carlos Valdivia Miranda.  
Paraninfo (681.31-VAL–arq).

Microprocesadores de 16 bits, J.M. Angulo, Paraninfo.(681.3-1- ANG – mic)

Fundamentos de Computadores, De Miguel, P. Ed. Paraninfo.( 681.31-MIG – fun)

The ISA BUS Internals.

Data Sheets National Semiconductor.

# BUSES

## 1.- Buses. Conceptos.

Cada uno de los elementos de un SBM está unido a los demás mediante un conjunto de señales necesarias para la transferencia de información. Un bus está formado por un conjunto de señales con funciones afines que conectan las distintas partes de un sistema. Al conjunto de buses de un sistema se denomina genéricamente bus del sistema.

### Nomenclatura

Toda transferencia de información entre elementos de un sistema requiere de dos elementos, uno ha de ser el elemento *origen de la transferencia*, que es el que inicia la secuencia, y otro que responde a esta secuencia que denominados *destino de la transferencia*. El destino de la transferencia no siempre es el destino de la información, en muchos casos será el origen de ella y no por ello el origen de la transferencia. Este es el caso cuando la unidad UCP realiza una lectura en la memoria. La UCP es el origen de la transferencia (ella inicia la transferencia enviando la dirección y las señales de control al bus) mientras que la unidad de memoria (UCM) es el destino de la transferencia (ya que es esta unidad la encargada de recibir la información de dirección y control desde el bus). Sin embargo, el camino de los datos va desde la UCM a la UCP ya que se trata de una operación de lectura. Así pues, *para los datos* el origen es la UCM y el destino es la UCP.

Los elementos que pueden iniciar una transferencia por el bus son los que denominamos elementos *origen de la transferencia*, estos elementos son la UCP y las unidades que dispongan de ADM. Las unidades que pueden ser *destino de una transferencia* pueden ser la UCM o la UES.

### Necesidad de los buses

Las **funciones** que se desarrollan mediante las distintas transacciones entre los elementos de un sistema pueden ser tan diversas que no es posible una enumeración particular. Sin embargo, podremos agrupar de forma general los tipos de transferencia posibles, citados en la tabla siguiente:

| Función   | Información transferida                                 | Sentido de transferencia   |
|---|---|--|
| Lectura código  | Direcc. memoria programa<br>Código instrucción          | UORG $\nrightarrow$ UCMP<br>UORG $\nrightarrow$ UCMP                             |
| Lect/Escr memoria<br>Lectura datos mem.<br>Escr. datos mem. | Dir. memoria datos<br>Dato de memoria<br>Dato a memoria | UORG $\nrightarrow$ UCMD<br>UORG $\nrightarrow$ UCMD<br>UORG $\nrightarrow$ UCMD |
| Lect/Escr E/S<br>Lectura dato E/S<br>Escritura dato E/S     | Direcc. de E/S<br>Dato de E/S<br>Dato a E/S             | UORG $\nrightarrow$ UES<br>UORG $\nrightarrow$ UES<br>UORG $\nrightarrow$ UES    |

UORG = Unidad OriGen de la transferencia (UCP ó ADM).

UCMD = Unidad Central de Memoria de Datos.

UCMP = Unidad Central de Memoria de Programa.

Estos 8 tipos de transferencias resumen las necesidades básicas de un SBM. Dado lo complejo que resultan estos sistemas, es conveniente, por razones de orden, de flexibilidad de trabajo, de expansión del sistema y de independencia de las distintas unidades, hacer que estas transferencias se realicen a través o por medio de elementos especializados, estos elementos son los buses.

El bus del sistema no es ni el origen ni el destino de ninguna transferencia. El bus del sistema **es el medio por el cual** se realizan éstas.

### Bus del sistema

Mediante la definición de un bus de sistema enunciamos sus características de forma que cualquier elemento que desee transferir datos a través de él, pueda hacerlo sin impedimento alguno, siempre que cumpla con los requisitos exigidos por el bus.

La definición de un bus de sistema comprende la descripción de cada uno de los buses que lo componen, tanto desde el punto de vista físico como de funcionamiento lógico y eléctrico. Todas las características implicadas en cualquiera de las transferencias que son posibles realizar por el bus del sistema han de estar representadas en su definición.

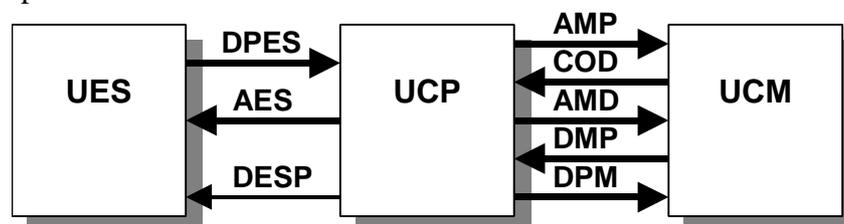
De esta forma, cualquier elemento que deseemos conectar al sistema sólo ha de cumplir con estos requisitos del bus para integrarlo inmediatamente. Una correcta definición del bus nos permitirá una muy fácil expansión del sistema y por tanto de sus posibilidades de procesamiento y comunicación con el mundo exterior.

## 2.- Estructuras de buses.

La implementación del bus del sistema tiene varias posibilidades de realización. Cada una de ellas con unas particularidades propias que las hacen idóneas para aplicaciones concretas. Analizamos algunas de estas posibilidades.

### Buses Dedicados y Compartidos

La división de las necesidades de transferencias de información entre los distintos elementos de un sistema basado en  $\text{?P}$ , lleva directamente a la creación de un bus independiente para cada uno de los tipos de transferencia. Esto implica la coexistencia de 8 buses diferentes especializados.



Esta realización se utiliza en sistemas de grandes ordenadores consiguiendo una elevada velocidad de transferencia de información pero presenta el inconveniente de requerir un elevado número de líneas de señal. La implantación directa de esta estructura de bus sobre un sistema  $\text{?P}$  de 8 bits necesitaría un total de 96 líneas de señal distribuidas como se indica en la tabla siguiente.

| Bus                       | Señales    | Cantidad |
|---------------------------|------------|----------|
| Direcc. memoria programa  | AMP[15..0] | 16+2     |
| Códigos instrucciones     | COD[7..0]  | 8+2      |
| Direcciones memoria datos | AMD[15..0] | 16+2     |
| Datos de memoria          | DMP[7..0]  | 8+2      |
| Datos a memoria           | DPM[7..0]  | 8+2      |
| Direcc. de Entrada/Salida | AES[7..0]  | 8+2      |
| Dato de Entrada/Salida    | DESP[7..0] | 8+2      |
| Dato a Entrada/Salida     | DPES[7..0] | 8+2      |

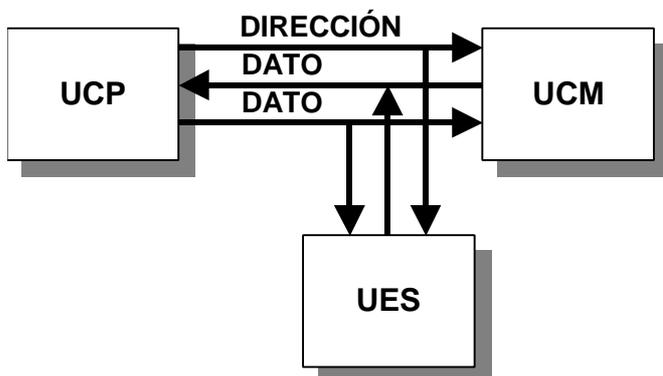
Número total de líneas de señal ..... 80+16

La nomenclatura utilizada es como sigue:

AMP = Dirección de memoria de programa.    COD = Código de operación.  
 AMD = Dirección de memoria de datos.        DMP = Dato de la memoria al procesador.  
 DPM = Dato del procesador a la memoria.    AES = Direcciones de Entrada/Salida.  
 DESP = Dato de E/S al procesador.         DPES = Dato del procesador a E/S.

Como puede verse en la tabla, a cada uno de los buses hemos añadido dos líneas para el control de las transferencias. Quizás sean necesarias más de dos líneas de control dependiendo de otros parámetros. El total de líneas necesarias son 96. Esto es prácticamente inviable en los sistemas pequeños y medianos. Por tanto es necesario reducir el número de señales entre los distintos elementos. Esta reducción nos lleva a la estructura de los buses compartidos.

Partimos del supuesto de que el sistema dispone de un único procesador central ya que es el caso más usual en este tipo de sistemas basados en ?P destinado al control industrial y en pequeños y medianos ordenadores. Aunque otros sistemas pueden tener varios.



La estructura de un sistema con procesador único hace que el sistema funcione secuencialmente en el tiempo. En cada instante solo se puede realizar una función. Esto permite que el bus por donde se transfiere la información pueda ser único para código y datos, permitiendo además la unificación del bus de direcciones del sistema. Por esta misma razón, en estos sistemas no tiene sentido disponer de buses independientes

para las E/S, pudiéndose unificar todo en una estructura única de bus compartido como se muestra en la figura.

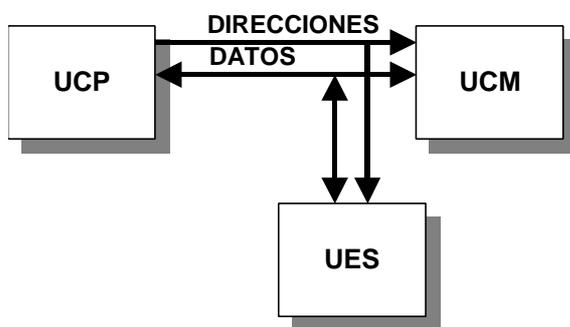
### Buses unidireccionales y bidireccionales

Hasta ahora hemos visto cómo podemos agrupar los buses del sistema en función de las características particulares existentes en los sistemas basados en ?P. La última estructura descrita nos da un total de 38 líneas para conexas las tres unidades básicas de un sistema.

Avanzando un poco más en nuestro razonamiento nos encontramos con que los buses de datos funcionan de un modo alternativo, es decir, si uno de ellos está transfiriendo información, el otro se encuentra en reposo (ya que el procesador solo puede realizar en cada instante un tipo de transferencia). Por tanto, podemos agruparlos en uno solo.

Esta circunstancia no representa una reducción de las prestaciones del sistema, y además nos permite simplificar a uno el bus de datos entre los distintos elementos. De esta forma tenemos un bus bidireccional para las transferencias de la información.

Este bus bidireccional obliga a que las unidades que no estén utilizándolo se mantengan desconectadas de él (en triestado o flotantes) para no interferir en las señales que viajan por el bus. La disposición más usual es la del bus de datos del sistema, aunque por él se realicen las transferencias tanto de datos en sí mismos como de códigos que representan la operación a realizar por la UCP.



Generalmente, al bus de direcciones no se le considera como bidireccional aunque la fuente de la dirección puede ser variada (UCP ó ADM). Esto no es rigurosamente cierto en todos los casos ya que concretamente, en las unidades que disponen de ADM, el bus de direcciones es bidireccional, ya que normalmente recibirá la información de direcciones procedente de la UCP y en los ciclos de ADM es ésta unidad la que genera las direcciones.

En cada momento, por el bus de datos circula una determinada información en una dirección determinada, según sea la transferencia. Por tanto, se hace necesario una información adicional que nos indique el sentido en que fluye la información por el bus. Esta información puede ser una única señal cuyo estado lógico indica el sentido o bien un par de señales cuya activación indica el sentido de la transferencia.

En toda transferencia existe una dirección de origen o de destino de la información que denominamos simplemente **dirección de transferencia**. Los tipos de transferencias posibles por el bus son dos que se denominan *transferencia de lectura* (o simplemente lectura) cuando la información proviene de la unidad destino de la transferencia en la dirección dada hacia la unidad origen de la misma y *transferencia de escritura* (o simplemente escritura) cuando la información procede de la unidad origen de la transferencia hacia la dirección dada de la unidad destino de la misma.

Las señales que identifican el tipo de transferencia se denominan **comando de lectura (/RD)** cuando la transferencia es de lectura y **comando de escritura (/WR)** cuando la transferencia es de escritura. Cuando /RD se encuentra activada (a nivel L), la información se transfiere hacia la unidad origen de la transferencia (UCP o ADM), mientras que si es /WR la señal que se activa (a nivel bajo) durante la transferencia, la información que se transfiere desde el origen de la transferencia hacia la unidad destino. No es posible la activación simultánea de ambas señales.

En otras configuraciones una única señal indica con su estado lógico una de las dos posibles transferencias (señal RD/ $\overline{WR}$ ). La tabla siguiente relaciona estas señales con la asignación lógica y la función realizada.

| Señal                                       | Nivel Lógico | Transferencia     |
|---|--------------|-------------------|
| Lectura Escritura<br>(RD/ $\overline{WR}$ ) | H            | Lectura           |
|   | L            | Escritura         |
| Lectura ( $\overline{RD}$ )                 | H            | Reposo (no lect.) |
|   | L            | Lectura           |
| Escritura ( $\overline{WR}$ )               | H            | Reposo (no lect.) |
|   | L            | Escritura         |

## Buses directos y multiplexados

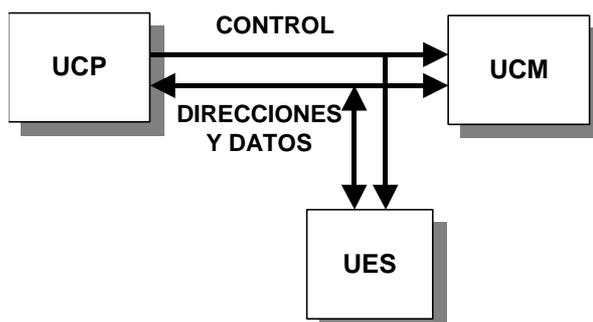
Los buses analizados en los apartados anteriores siempre transportan el mismo tipo de información (direcciones, datos, etc.) y se denominan *buses directos*.

Con vistas a reducir el número de líneas de bus, se utiliza la técnica del *multiplexado de buses*. Se trata de hacer que por un mismo bus se transfiera información de distinto tipo. Esto es posible siempre que las diferentes informaciones no sean coincidentes en el tiempo.

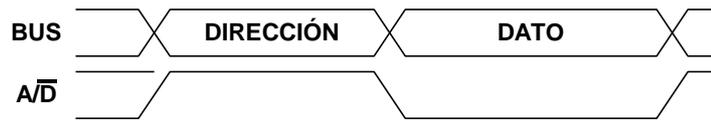
Los buses multiplexados transfieren en cada instante un tipo diferente de información. Para poder identificar cada una de ellas es necesario disponer de alguna información adicional que son las señales de control del multiplexado. Por medio de la técnica de multiplexado se puede enviar por un bus cualquier cantidad diferente de información, sin embargo, los casos más típicos en la aplicación de los sistemas basados en microprocesadores se multiplexan dos tipos de información, las direcciones y los datos.

Cuando se utiliza un bus multiplexado de direcciones y datos, la unidad origen de la transferencia envía en primer lugar la dirección a la que desea acceder y pasado un tiempo (este tiempo forma parte de las especificaciones de funcionamiento del bus) lo deja libre para poder enviar (si se trata de escritura) o recibir (si se trata de lectura) la información correspondiente a la transferencia.

Las transferencias típicas de lectura y escritura requieren que la dirección sea estable durante todo el ciclo (periodo de tiempo en el que se realiza la transferencia), por lo que la unidad destino de la transferencia ha de retener la dirección en una memoria particular (latches de direcciones) durante el tiempo que sea necesario. Estos latches se controlan por medio de las señales de multiplexado necesarias que diferencian en el tiempo cada una de las informaciones. Para el caso que nos ocupa (multiplexado de direcciones y datos) sólo es necesario una señal de control. En la figura adjunta se ha representado una conexión a través de un bus multiplexado por el que circulan las direcciones y los datos.



Por el bus de control circula una señal que establece la diferencia en la información existente en el bus multiplexado. En el cronograma de la figura siguiente podemos ver el funcionamiento de este bus y de la señal de control del multiplexado.

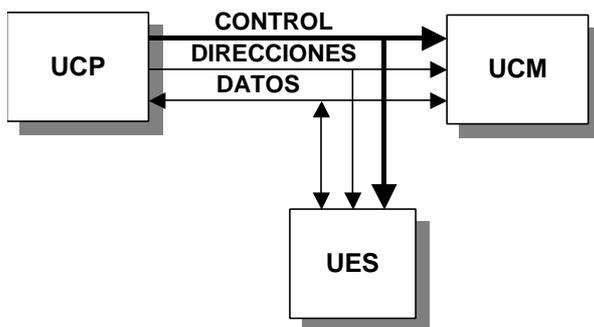


El bus se compone de las señales AD15 a AD0 y por él se envía la información de dirección (A15 a A0) durante el *tiempo de direcciones* (tiempo en que la señal  $A/\bar{D}$  está a nivel H) y los datos (D15 a D0) durante el *tiempo de datos* ( $A/\bar{D} = L$ ).

### Bus paralelo y bus serie

Se dice que un bus es de tipo *paralelo* cuando todos los bits que forman la información se transfieren simultáneamente desde la unidad origen de la transferencia y la unidad destino de la misma. En este caso, cada uno de los bits que conforma la información a ser transferida dispone de una línea de señal para él. Esto ocurre en la mayoría de buses de microcontroladores.

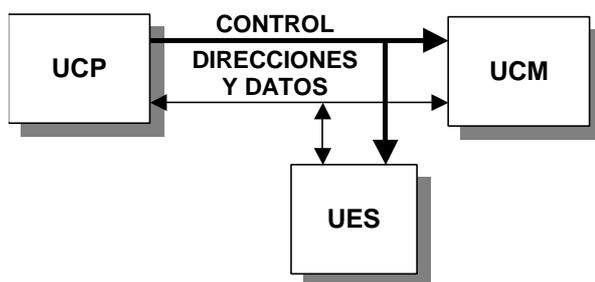
Tenemos un *bus serie* cuando la información se transfiere por él bit a bit mediante una única línea de señal. En este tipo de bus, en cada instante de tiempo se transfiere un solo bit. La figura adjunta muestra una configuración con bus serie.



La principal ventaja de este tipo de bus es el *bajo coste* que implica disponer de una única línea de datos. Como contrapartida tiene el inconveniente que la transferencia de una información requiere al menos de N transferencias de un bit ( $N = \text{número de bits que compone la información a ser transferida por el bus}$ ). Por tanto *es lento*.

Este tipo de comunicación tiene sentido cuando es necesario realizar transferencias de información entre elementos físicamente lejanos ya que el costo de un bus paralelo es muy elevado comparativamente al del bus serie. Otra de las aplicaciones usuales es aquella en la que se utiliza el bus serie como un *bus de supervisión* del sistema, en donde las transferencias entre

los distintos elementos no necesitan que se hagan a alta velocidad.



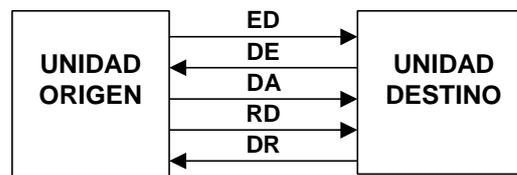
Un bus de sistema realizado con un bus serie bidireccional multiplexado es la configuración más simple de implementar desde el punto de vista del bus en sí mismo. La figura siguiente representa una estructura con este tipo de bus único.

### Bus síncrono y asíncrono

Los buses requieren, además de las líneas de señales que forman el bus en sí mismo, algunas señales para el control de la información. Estas señales de control pueden tener un funcionamiento síncrono o asíncrono, lo que determina el tipo de bus.

En un *bus asíncrono*, existen señales de control que fluyen desde la unidad origen de la transferencia hacia la unidad destino de la misma y desde éste hacia la unidad origen, de tal

forma que existe un intercambio de señales de control que establecen un *protocolo o handshake* para cada una de las transferencias de información. En la figura siguiente se ha representado un caso típico de bus de datos asíncrono.

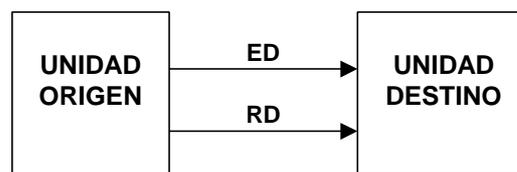


Además de las líneas propias del bus existen otras cuatro señales cuyo funcionamiento es como sigue:

- Cuando no hay transferencias por el bus, todas las señales de control están en reposo. El comienzo de una transferencia por el bus se indica por medio de la **activación de ED** (Envía Dato). Esta señal es controlada por la unidad origen de la transferencia y la activa cuando requiere que un dato le sea entregado desde la dirección dada por el bus de direcciones, el contenido del bus de direcciones será válido cuando se activa esta señal.
- Cuando la unidad destino de la transferencia envía la información, ésta **activa la señal DE** (Dato Enviado) por medio de la cual informa a la unidad origen que la información está disponible en el bus. La unidad origen de la transferencia **activará la señal DA** (Dato Aceptado) conforme reciba el dato del bus. Simultáneamente o antes de esto podrá desactivar la señal ED. En este momento se desactivarán las señales que estuvieran aún activadas para dejar al bus en reposo.

Esta secuencia no utiliza las señales RD (Recibe Dato) ni la señal DR (Dato Recibido) ya que se trata de una secuencia de lectura de dato por parte de la unidad origen de la transferencia.

En un *bus síncrono*, la unidad origen de la transferencia se encarga de todo el control de la misma, teniendo que sincronizarse la unidad de destino con las señales recibidas actuando como esclavos de la unidad origen. En la figura siguiente se ha representado un sistema en donde el bus es síncrono.



En este caso las señales de control fluyen desde la unidad origen de la transferencia hacia la unidad destino, no habiendo ninguna señal de control en sentido contrario. La transferencia se inicia con la activación de la señal ED (o RD) y acaba con la desactivación de ésta. En el intervalo entre la activación y la desactivación, la unidad destino ha de volcar la información al bus (en el ciclo de lectura) o retener la información (en el ciclo de escritura).

### Otras estructuras

Las estructuras descritas individualmente en los apartados anteriores se pueden mezclar entre sí para obtener otras estructuras.

Así pues, es corriente encontrar estructuras de buses de sistemas con buses de direcciones y datos directos y bidireccionales. Otros son multiplexados en direcciones y datos (total o parcialmente). A su vez son semi síncronos o semi asíncronos en el modo de transferir la información. Para poder analizar un determinado sistema es necesario siempre conocer la estructura y las especificaciones del bus del sistema.

## 3.- Bus de sistema

En este apartado analizamos la definición de bus de nuestro sistema y de otros sistemas para tener referencias diversas que nos ayuden a obtener la mayor generalidad posible del tema.

### 3.1.- *Definición del bus del sistema.*

En la definición del bus del sistema tendremos en cuenta los siguientes apartados:

- ☞ Descripción general.
- ☞ Definición de las partes que lo forman.
- ☞ Definición funcional (temporal y eléctrica).
- ☞ Definición física.

#### 3.1.1.- Descripción general.

La misión del bus del sistema es *ser el soporte físico para la comunicación de información entre los distintos elementos que componen el sistema* (UCP, UCM y UES).

En sí el bus del sistema no es un elemento activo desde el punto de vista de que él no inicia ninguna transferencia de información. Así mismo, el bus del sistema tampoco es un elemento pasivo puesto que no es el destino de ninguna transferencia. El bus de un sistema basado en microprocesador consta de tres buses básicos denominados:

- ☞ **Bus de direcciones**
- ☞ **Bus de datos**
- ☞ **Bus de control**

Por medio del *bus de direcciones*, la unidad origen de la transferencia indica sobre que posición desea realizar la transferencia de información. El *bus de datos* se utiliza para transportar la información en sí misma. El *bus de control* se encarga del manejo de todas las secuencias del bus. El funcionamiento básico del bus consiste en realizar transferencias de información de una unidad a otra. Esto se realiza a través de ciclos como los siguientes:

**Lectura en memoria (o E/S)**: Por medio de este ciclo, la unidad origen de la transferencia (UCP o ADM) obtiene de la unidad destino (UCM o UES) el dato situado en la dirección indicada por el contenido del bus de direcciones.

**Escritura en memoria (o E/S)**: En este ciclo, la unidad origen de la transferencia (UCP o ADM) envía una información a la unidad destino (memoria o E/S)

para que lo almacene en su interior en la dirección indicada por el contenido del bus de direcciones.

Estos cuatro ciclos son los fundamentales que se han de realizar en cualquier sistema. Sin embargo, existen otros ciclos que aunque no son imprescindibles la mayoría de los sistemas disponen de ellos y también el nuestro. Estos ciclos son:

**Petición del bus** : Cuando en un sistema existen más de un posible dueño del bus del sistema (UCP y ADM) es necesario que el dueño habitual del bus (la UCP) deje libre éste para que los otros dueños eventuales puedan realizar las transferencias necesarias. Por medio del *ciclo de petición del bus*, la UCP abandona el uso de éste desconectando sus líneas de direcciones, datos y control, para permitir que otra unidad tome el mando del bus. Dentro del ciclo de petición de bus, la unidad peticionaria realizará (cuando posea el control) ciclos de lectura y/o escritura sobre memoria y/o E/S. Cuando no necesite más el bus, lo indicará a la UCP para que esta unidad retome el control del bus y continúe con su trabajo.

**Reconocimiento de interrupción enmascarable** : En general, cuando hablamos de interrupción sin más, nos estaremos refiriendo a la **interrupción enmascarable**. La otra posibilidad de interrupción, la no enmascarable, que denominaremos siempre como **interrupción no enmascarable**.

El sistema es capaz de realizar un ciclo de reconocimiento de interrupción por medio del cual la UCP recibe de la unidad origen de la interrupción, una información que se utiliza para la identificación de la unidad origen de la interrupción.

### 3.1.2.- Descripción de las partes que forman el bus.

Como se ha dicho antes, el bus del sistema consta de tres partes fundamentales que se denominan bus de direcciones, bus de datos y bus de control. En lo que sigue describimos cada uno de ellos.

#### 1. Bus de direcciones.

Por medio del bus de direcciones del bus del sistema, una unidad integrante del sistema puede dirigirse a cualquier posición del espacio de memoria o del espacio de E/S para realizar una transferencia.

En los ciclos de lectura y escritura de memoria y de E/S, la unidad origen de la transferencia ha de poner sobre el bus de direcciones el valor de la dirección sobre la que se desea acceder de lectura o escritura. El bus de direcciones se compone de 16 líneas de señal nombradas de BA15 a BA0.

#### 2. Bus de datos.

Por medio del bus de datos se **transfiere la información o el dato** de la dirección requerida por el bus de direcciones. Durante un ciclo de lectura, la unidad destino de la transferencia (UCM o UES) pone sobre el bus de datos la información solicitada. Durante un

ciclo de escritura, la unidad origen de la transferencia (UCP o ADM) pone sobre el bus de datos la información que desea escribir en la dirección dada. El bus de datos se compone de 8 líneas de señal nombradas de BD7 a BD0.

### 3. Bus de control.

El bus de control está formado por todas las señales necesarias para el correcto funcionamiento de los ciclos que se desarrollan por el bus del sistema. Las señales del bus de control no tienen un nombre genérico ya que cada una de ellas tiene un función específica diferente existiendo entre ellas relaciones temporales como veremos más adelante.

Las señales que integran el bus de control son las siguientes:

- Reloj del bus (BCLK).
- Multiplexado de direcciones (BADS)
- Comando de lectura (/BRD).
- Comando de escritura (/BWR).
- Final de ciclo (/BRDY).
- Control de parada (/BHALT).
- Acceso a memoria (/BMEM).
- Acceso a E/S (/BES).
- Petición de bus (BHOLD).
- Concesión de bus (BHDLA).
- Inicialización Hw (/BRESET).
- Reconocimiento interrupción enmascarable (/BINTA).
- Interrupción no enmascarable (BNMI).
- Interrupción enmascarable 0 (BINT0).
- Interrupción enmascarable 1 (BINT1).
- Interrupción enmascarable 2 (BINT2).
- Interrupción enmascarable 3 (BINT3).

Estas 16 señales constituyen el bus de control de nuestro bus de sistema y se agrupan de acuerdo a la función que realiza como sigue:

**Líneas de control del ciclo** : Por medio de estas señales se indica **cual es el tipo de ciclo** a desarrollar por el bus. Estas señales se denominan /BRD para el comando de lectura y /BWR para el comando de escritura. Cuando /BRD se activa (nivel bajo), se trata de un ciclo de lectura (sobre UCM o UES), la información por el bus de datos circula desde la unidad destino hacia la unidad origen de la transferencia.

Cuando /BWR se activa (nivel bajo), el ciclo es de escritura (sobre UCM o UES) y el sentido de la información por el bus de datos es de la unidad origen de la transferencia a la unidad destino de la misma. Las señales de comando del ciclo por el bus /BRD y /BWR **no pueden estar activas simultáneamente**. Otra señal de control del ciclo es la señal /BRDY. Esta señal se ocupa de informar, cuando se activa a nivel bajo, a la unidad origen de la transferencia que el ciclo ha terminado, indicando con ello que la información es válida en el bus de datos si la transferencia es una lectura o que el dato está guardado correctamente si la transferencia es una escritura.

### Líneas de identificación del espacio de direcciones.

Como la mayoría de los sistemas, el nuestro dispone de *dos mapas de direccionamiento* sobre el cual se realizan las transferencias de información; el espacio (o mapa) de **memoria** y el espacio (o mapa) de **entrada/salida**.

Dos señales se encargan de identificar sobre qué mapa se realiza la transferencia /BMEM (para la UCM) y /BES (para la UES). Cuando /BMEM está activa (nivel bajo), la transferencia se realiza sobre el mapa de direcciones de memoria. Cuando /BES se activa (nivel bajo), la transferencia se realiza sobre el mapa de E/S. Estas dos señales no pueden estar activas simultáneamente.

### Manejo de las interrupciones

El bus dispone de líneas de interrupción de dos tipos diferentes, enmascarable (BINT0 a BINT3) y no enmascarable (BNMI). Además de una señal adicional para el reconocimiento de interrupciones enmascarables denominado /BINTA.

La interrupción no enmascarable se indica por medio de la activación de la señal BNMI (nivel alto). El sistema dispone de cuatro líneas de interrupción enmascarable, BINT0 a BINT3. La interrupción enmascarable se indica por medio de la activación de una de las señales BINT0 a BINT3 (nivel alto). La señal /BINTA indica, cuando se activa (a nivel bajo), que la interrupción solicitada está siendo atendida por la UCP. Cuando esto sucede, generalmente la unidad origen de la interrupción envía por el bus de datos una información denominada **vector de interrupción** que es utilizada por la UCP para identificar a la unidad origen de la interrupción.

### Líneas de control del bus

El bus es un elemento común al resto del sistema y en cada momento solo puede realizar una transferencia. Si el sistema dispone de varias unidades que puedan ser origen de transferencias, estas han de tomar el control del bus para poder realizarlas. Para acceder al control del bus del sistema disponemos de dos señales de control BHOLD y BHLDA.

BHOLD es la señal que indica con su activación (nivel alto) que alguna unidad origen desea realizar una transferencia, es decir tener el control del bus. Esta es la señal de petición del bus que recibe la UCP. BHLDA es la respuesta (afirmativa) a la petición del bus que devuelve la UCP. Cuando BHLDA se activa (nivel alto), la UCP desconecta el bus de direcciones, el de datos y el de control (menos BHLDA) del bus del sistema. Así, la unidad que solicitó el bus por medio de la activación de BHOLD entiende que es la propietaria actual del bus y, por lo tanto, puede comenzar las transferencias de información.

### Otras líneas de control

La señal /BRESET se utiliza para inicializar el sistema. Cuando /BRESET se activa (a nivel bajo), todo el sistema se sitúa en un estado conocido, o sea el microprocesador comienza la ejecución del programa en una dirección predefinida. La señal /BHALT indica cuando está activada (a nivel bajo) que la UCP está parada en espera de una interrupción (estado HALT de la UCP).

La señal BADS la genera la UCP y se emplea en los sistemas que tienen bus multiplexado de direcciones y datos para retener la parte baja de direcciones en el momento que la UCP la vuelca al bus de datos. Esta retención se realiza mediante un registro. Supondremos que nuestro bus de sistema no es multiplexado, por tanto, esta señal no se emplea.

### 3.1.3.- Descripción funcional.

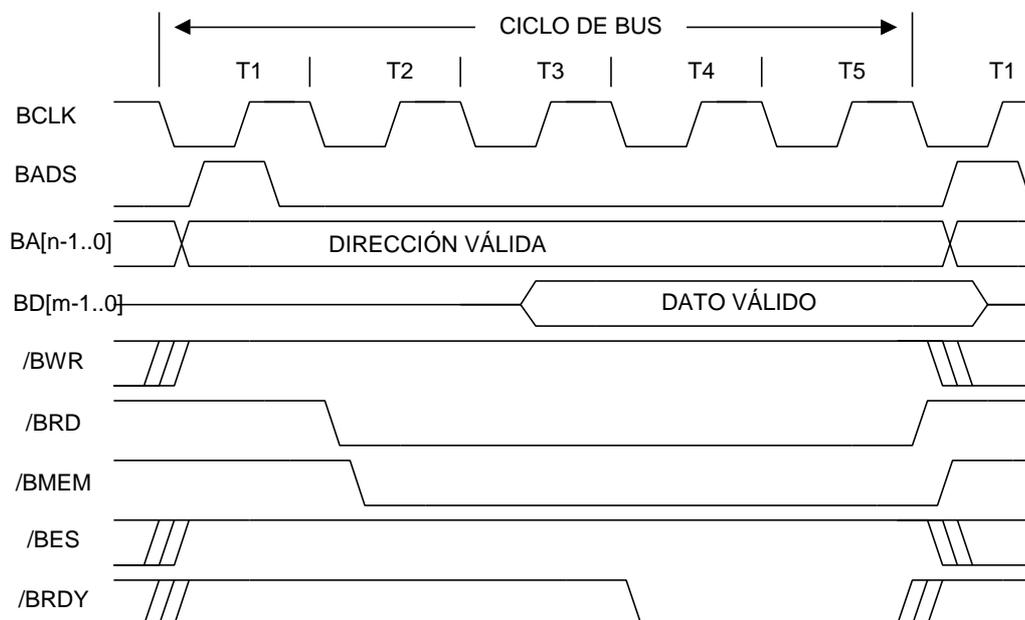
El funcionamiento del bus se describe por medio de los ciclos que es capaz de soportar para las distintas transferencias de información. Los ciclos que es capaz de desarrollar nuestro bus de sistema son los siguientes:

- Lectura en memoria.
- Escritura en memoria.
- Lectura en E/S.
- Escritura en E/S.
- Petición del bus.
- Interrupciones.

Todos los ciclos funcionales citados son exclusivos, es decir, en cada instante sólo uno de ellos estará ocupando el bus del sistema.

#### 1. Ciclo de lectura en memoria

El ciclo de lectura se desarrolla según el cronograma de la figura siguiente.



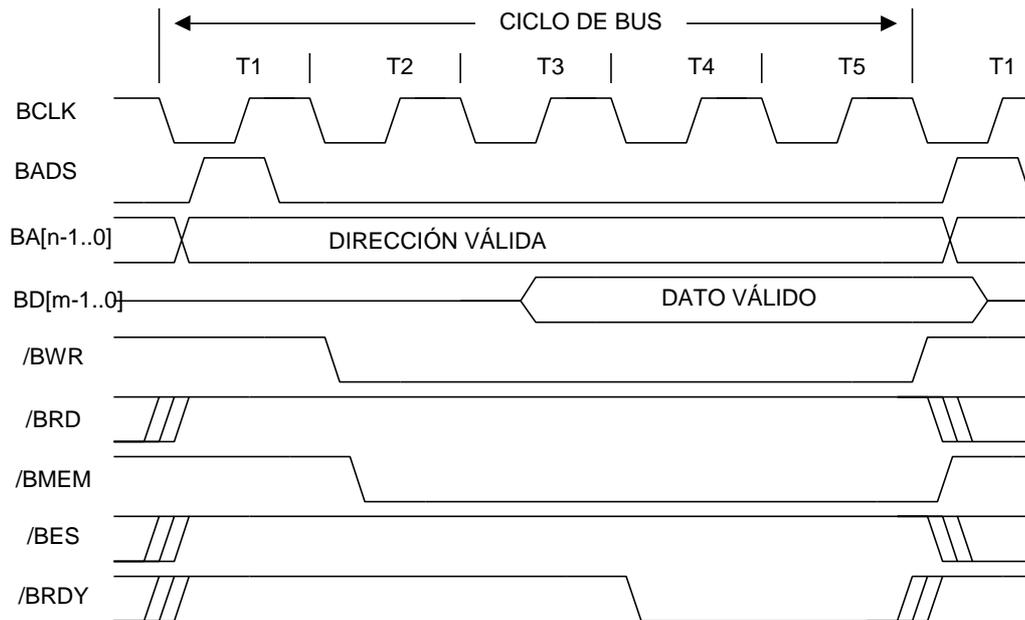
En este ciclo se encuentran implicadas las siguientes señales del bus del sistema:

- **Líneas de direcciones**, que aportan la dirección sobre la que se desarrolla el ciclo. La información de dirección fluye desde la unidad origen de la transferencia (UCP o ADM) a la unidad destino de ésta (UCM).

- **Líneas de datos**, por donde es transferida la información desde la unidad destino de la transferencia (UCM) a la unidad de origen (UCP o ADM).
- La señal **/BMEM**, que identifica al ciclo como acceso a memoria.
- La señal **/BRD** que identifica el ciclo como ciclo de lectura.
- La señal **/BRDY** que indica a la unidad origen de la transferencia la disponibilidad de la información y el fin del ciclo.

## 2. Ciclo de escritura en memoria

El ciclo de escritura se desarrolla según el cronograma de la figura siguiente.



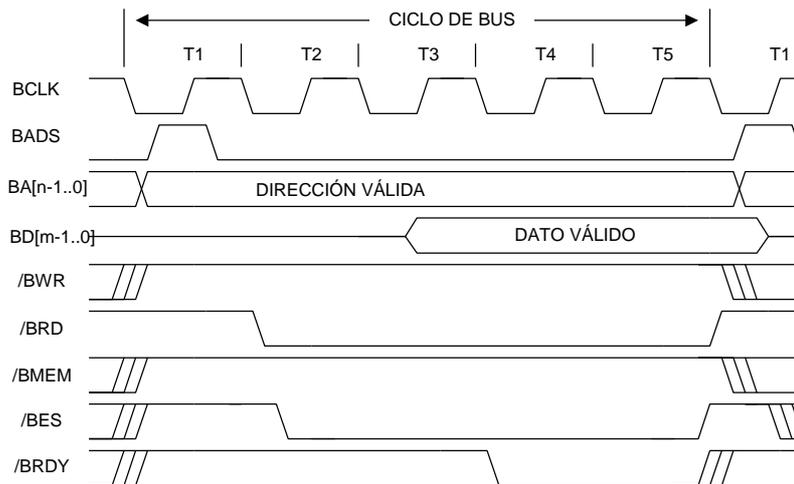
En ella podemos ver que las señales que intervienen en el proceso son las siguientes:

- **Líneas de direcciones**, que suministran la dirección sobre la que se desarrolla el ciclo. La información de dirección va desde la unidad origen de la transferencia a la unidad destino de ésta.
- **Líneas de datos**, por donde es transferida la información desde la unidad origen de la transferencia a la unidad de destino de ésta.
- La señal **/BMEM** que identifica a la memoria como unidad de destino de la transferencia.
- La señal **/BWR** que identifica el ciclo como ciclo de escritura.
- La señal **/BRDY** que indica a la unidad origen de la transferencia el fin del ciclo.

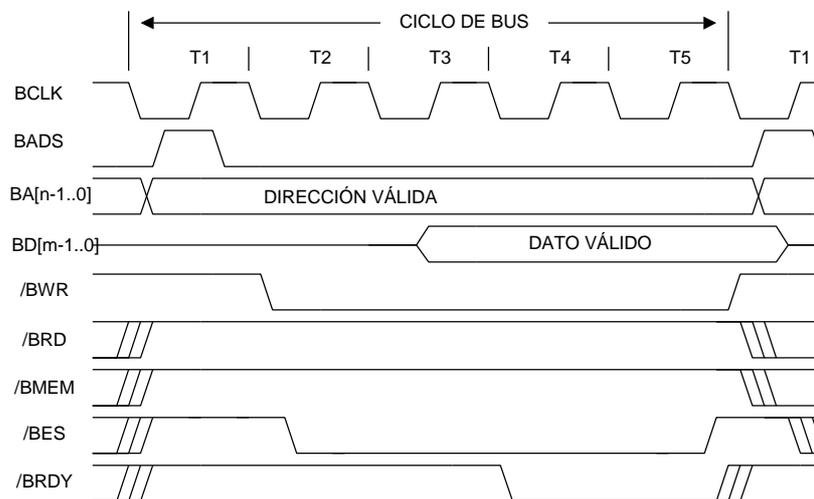
## 3. Lectura y escritura de E/S.

En los ciclos de lectura y escritura E/S intervienen las mismas señales que en los ciclos correspondientes de memoria excepto que se activa la señal **/BES** en lugar de hacerlo **/BMEM**.

El cronograma de la figura siguiente muestra el desarrollo del ciclo de lectura.

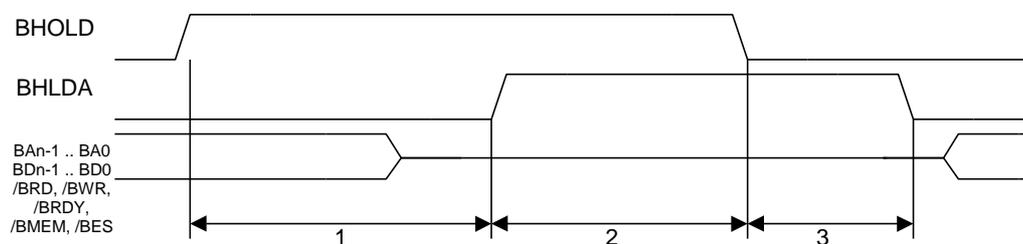


El cronograma de la figura siguiente muestra el desarrollo del ciclo de escritura.



#### 4. Petición del bus.

El ciclo de petición de bus se desarrolla según el cronograma de la figura siguiente.



En ella podemos ver que las señales implicadas son las siguientes:

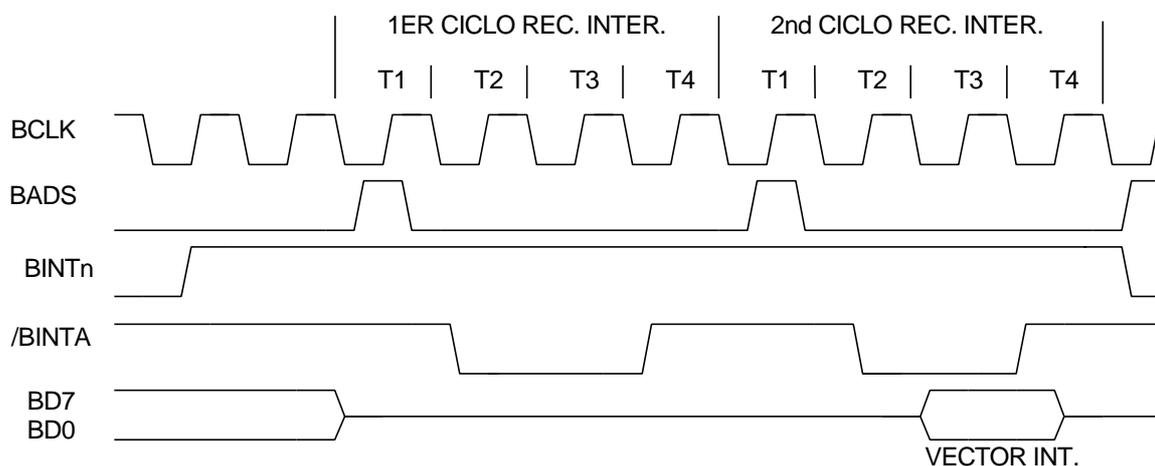
- **BHOLD**, que es la petición del bus. Cuando BHOLD se activa, se está pidiendo a la unidad que actualmente controla el bus del sistema (normalmente será la UCP) que

deje el bus libre para ser utilizado por otra unidad. Dejar libre el bus significa desconectar las líneas de direcciones, datos y control.

- **BHLDA**, que es la contestación (afirmativa) a la petición del bus (BHOLD). Cuando BHLDA se activa, significa que el bus del sistema está disponible para ser utilizado. Todas las señales del bus de direcciones, de datos y de control (excepto BHOLD y BHLDA) están en triestado.
- **Líneas de direcciones**, que pasan a triestado cuando se activa BHLDA y a continuación son manejadas por el nuevo master del bus.
- **Líneas de datos**, que pasan a triestado al activarse BHLDA y a continuación son manejadas por el nuevo master del bus.
- **Líneas de control** (excepto BHOLD y BHLDA), que pasan a triestado y a continuación son manejadas por el nuevo master del bus.

## 5. Reconocimiento de interrupción.

El ciclo de reconocimiento de la interrupción no enmascarable se desarrolla según el cronograma de la figura siguiente.



En ella podemos ver que se trata de un ciclo parecido al de lectura de memoria pero en donde no se aporta la dirección y se activa  $\text{/BINTA}$  en lugar de  $\text{/BMEM}$ . Las señales que se ven implicadas en este ciclo son las siguientes:

- **BINT $n$**  ( $n=0$  a 3). Estas señales, cuando se activa (a nivel alto), indican a la UCP del sistema que algún dispositivo desea interrumpir la secuencia del programa.
- **$\text{/BINTA}$** . Cuando se activa (a nivel bajo), el dispositivo que interrumpe suministra por el bus de datos una información denominada **vector de interrupción** que la UCP utiliza para identificar al dispositivo que interrumpe.
- **Líneas de datos**. Cuando  $\text{/BINTA}$  se activa, el dispositivo que interrumpe envía una información (vector de interrupción) a la UCP para que ésta pueda identificarle.
- **$\text{/BRDY}$** . Esta señal se activa cuando el vector de interrupción es válido en el bus de datos del sistema para indicar a la UCP el final del ciclo.



| Grupo             | Nombre    | Descripción                     |
|-------------------|-----------|---------------------------------|
| Reloj             | t1        | Tiempo en estado H del reloj    |
|                   | t2        | Tiempo en estado bajo del reloj |
|                   | t3        | Periodo del reloj               |
|                   | t4        | Tiempo de subida                |
|                   | t5        | Tiempo de bajada                |
| Direcciones       | t6, t7    | Retardo de direcciones          |
| Datos             | t8        | Retardo de datos en escritura   |
|                   | t9        | Setup de datos en lectura       |
|                   | t10, t11  | Hold de datos en lectura        |
| Comando y Control | t12 y t13 | Retardo de comandos y control   |
| Ready             | t14       | Setup de /BRDY                  |
|                   | t15       | Hold de /BRDY                   |
|                   | t16       | Duración de /BRDY               |

El **tiempo de hold** de una señal es el periodo de tiempo que la señal ha de ser válida (estable en el estado lógico) después de la ventana de muestreo de la unidad destino de esta señal. Tiene un valor mínimo que se acota en nanosegundos (p.e. datos). Si se incumple este valor mínimo, no podremos asegurar que la unidad que ha de interpretar esta información lo haga correctamente, pudiéndose obtener resultados impredecibles.

El **tiempo de activación** de una señal es el tiempo que tarda dicha señal en salir del estado de alta impedancia y tomar el valor lógico correcto desde la orden correspondiente. El tiempo de desactivación de una señal es el tiempo que invierte dicha señal en pasar al triestado desde que se da la orden correspondiente.

### 3.1.4.- Características físicas.

Con respecto a las características físicas y eléctricas del bus se han de definir los niveles lógicos de funcionamiento que permite la estructura del bus. En buses comerciales, la especificación de las características eléctricas es muy parecida a las características de los dispositivos comerciales de tal forma que en la práctica éstos cumplen correctamente con los requerimientos eléctricos del bus.

Entre los criterios que se aplican para la definición de las características eléctricas, tenemos los siguientes:

- Los *parámetros físicos* del bus (forma, longitud, número de conexiones, etc).
- Las *características del entorno* al que va dirigido (Uso general, industrial, de alto ruido, automóvil, especiales, etc).
- Las *necesidades propias del bus* (velocidad, consumo del sistema, etc.)

En nuestro caso concreto, los buses tienen especificaciones eléctricas que corresponden con las características de los dispositivos comerciales de la familia TTL que analizaremos en el apartado 5.

### 3.2.- Buses normalizados.

En la actualidad existen una gran variedad de buses de sistema lo que hace que haya poca compatibilidad entre ellos por falta de coincidencia en las definiciones de las señales que lo componen. La tendencia natural es a obtener una optimización máxima en las prestaciones del bus de un sistema dado. Dependiendo de la aplicación a la que se oriente el sistema, el bus tendrá diferentes características funcionales y, por tanto, definitorias. El hecho de utilizar un *bus normalizado* como bus de un sistema trae como consecuencia directa la *compatibilidad con cualquier unidad que se adapte a las especificaciones del bus elegido*.

Existen varios buses normalizados por diferentes marcas y fabricantes de equipos y dispositivos, entre otros citaremos los siguientes: **VME de Motorola, Q-Bus de Digital, Multibus I y II de INTEL, S-100, AGP, PCI, ISA, EISA** en plataforma microordenador PC.

La especificación de un bus de sistema contiene los siguientes apartados:

- Definición de los buses que lo componen.
- Definición de las señales dentro de cada bus.
- Definición de los niveles lógicos y de las características eléctricas de cada señal.
- Descripción de las secuencias funcionales de los distintos ciclos permitidos por el bus.
- Protocolos en las transferencias.
- Distribución de señales en los conectores.
- Dimensiones físicas de las PCIs.
- Características funcionales del conjunto.

Así nos encontramos con que, por ejemplo, el bus VME se compone de un bus de transferencia de datos (DTB), un bus de prioridades de interrupciones, un bus de arbitración del DTB y otro de utilidades. Por otra parte, el Multibus II se compone de un bus paralelo (PSB), un BUS LOCAL (LBX) y UN BUS SERIE (SSB).

### 3.3.- El Bus ISA.

El bus ISA (Industry Standard Architecture) es una estructura de bus normalizado para ordenadores personales (PCs). En la nomenclatura del bus una señal terminada con el símbolo #, indica que es activa a nivel bajo, o sea SBHE# ? /SBHE ?  $\overline{SBHE}$ . Se compone de los siguientes grupos de señales:

#### Señales del bus de Direcciones

|             |   |
|-------------|---|
| SA19 – SA0  | <b>System Address bus.</b> Bus de direcciones del sistema que permiten direccionar tanto el espacio de memoria como el de E/S.  |
| LA23 – LA17 | <b>Local Address bus.</b> Bus para direcciones locales, se utilizan para direccionar memoria hasta 16 MBytes.   |
| SBHE#       | <b>System Byte High Enable.</b> Cuando se activa (a nivel bajo) indica que se está realizando una transferencia por el byte alto (SD15-SD8) del bus de datos del sistema. |

### Señales del Bus de Datos

SD15 – SD0      **System Data bus.** Estas 16 líneas del bus de datos permiten transferir la información entre las distintas partes del sistema.

### Señales de control de E/S

IOR#      **I/O Read.** Comando de lectura de E/S. Cuando se activa (L) indica un ciclo de lectura en E/S.

IOW#      **I/O Write.** Comando de escritura en E/S. Cuando se activa (L) indica un ciclo de escritura en E/S.

IOCS16#      **I/O Chip Select 16.** Cuando se activa esta señal (L) indica que se realiza una transferencia de 16 bits de E/S y un ciclo de espera por defecto. En caso contrario (IOCS16=H) la transferencia es de 8 bits y cuatro ciclos de espera por defecto.

### Señales de control de memoria

MEMR#      **MEMory Read.** Comando de lectura de memoria. Cuando se activa (L) indica un ciclo de lectura en memoria.

MEMW#      **MEMory Write.** Comando de escritura en memoria. Cuando se activa indica un ciclo de escritura en memoria.

SMEMR#      **System MEMory Read.** Comando de lectura en memoria del sistema que indica un ciclo de lectura en memoria en el rango de 0 a 1 MByte.

SMEMW#      **System MEMory Write.** Comando de lectura en memoria del sistema que indica un ciclo de lectura en memoria en el rango de 0 a 1 MByte.

MEMCS16#      **MEMory Chip Select 16.** Cuando se activa (L) indica que se trata de una transferencia de 16 bits de datos con la memoria. En caso contrario se trata de un ciclo de memoria de 8 bits de datos con 4 estados de espera.

### Señales de control de acceso directo a la memoria

AEN      **Address Enable.** Cuando esta señal se activa (H) indica que un dispositivo de ADM tiene el control del bus del sistema.

DRQ7-DRQ5      **DMA ReQuest.** Señales activas a nivel alto por medio de las cuales se solicita el control del bus del sistema.

DACK7-DACK5      **DMA ACKnowledge.** La activación de estas señales indican que el dispositivo de ADM que solicitó el control del bus del sistema dispone de él.

TC      **Terminal Count.** Esta señal se activa al final de la cuenta del canal de ADM en curso.

### Señales de control de refresco

REFRESH#      **REFRESH.** Cuando se activa esta señal indica que se solicita o está en curso un ciclo de refresco.

### Señales del controlador externo del bus

**MASTER#**                    **MASTER.** Esta señal indica que el bus del sistema esta siendo utilizado por uno de los dispositivos de ADM. Esta señal debe de ser activada por el dispositivo de ADM que consiga el control del bus una vez que se haya completado la secuencia de activación de las señales DRQn# y DACKn# correspondientes.

### Señales de reloj

**SYSCLK**                    **SYStem CloCk.** Reloj del sistema. Este es el reloj del bus cuya frecuencia es de 8 MHz con un ciclo de trabajo del 50%.

**OSC**                        **OSCillator.** Es un reloj de 14.31818 MHz con ciclo de trabajo del 50% asíncrono con SYSCLK.

### Otras señales de los canales de E/S

**IOCHCK#**                    **IO Channel ChecK.** Cuando se activa esta señal indica que se ha producido un error no recuperable en el canal de E/S. Esta señal genera una NMI en el procesador.

**IOCHRDY**                    **IO Channel ReaDY.** Es la señal de ready para el canal de E/S que corresponda. Se utiliza para extender el ciclo de E/S o memoria por el bus ISA.

**OWS#**                        **Zero Wait State.** Cuando se activa esta señal indica que el dispositivo que está siendo accedido puede responder sin estados de espera. (Un ciclo normal del bus ISA tiene un ciclo de espera).

**RESETDRV**                    **RESET DriVe.** Esta señal inicia el sistema lógico cuando se conecta la alimentación al sistema.

**BALE**                        **Buffered Address Latch Enable.** Se utiliza para latched las líneas de direcciones locales (LAn).

**IRQ15,IRQ14,**                **Interrupt ReQuest.** Líneas de petición de interrupción del sistema.

**IRQ12,**  
**IRQ3-IRQ1**

La figura siguiente muestra la distribución de las señales en el conector del bus.

|    |         |         |    |
|----|---------|---------|----|
| 32 | GND     | -IOCHCK | 1  |
| 33 | RESDRV  | D7      | 2  |
| 34 | +5V     | D6      | 3  |
| 35 | IRQ9    | D5      | 4  |
| 36 | -5V     | D4      | 5  |
| 37 | DREQ2   | D3      | 6  |
| 38 | -12V    | D2      | 7  |
| 39 | -0WS    | D1      | 8  |
| 40 | +12V    | D0      | 9  |
| 41 | GND     | IOCHRDY | 10 |
| 42 | -SMEMW  | AEN     | 11 |
| 43 | -SMEMR  | A19     | 12 |
| 44 | -IOW    | A18     | 13 |
| 45 | -IOR    | A17     | 14 |
| 46 | -DACK3  | A16     | 15 |
| 47 | DREQ3   | A15     | 16 |
| 48 | -DACK1  | A14     | 17 |
| 49 | DREQ1   | A13     | 18 |
| 50 | -REFSH  | A12     | 19 |
| 51 | SYSCLK  | A11     | 20 |
| 52 | IRQ7    | A10     | 21 |
| 53 | IRQ6    | A9      | 22 |
| 54 | IRQ5    | A8      | 23 |
| 55 | IRQ4    | A7      | 24 |
| 56 | IRQ3    | A6      | 25 |
| 57 | -DACK2  | A5      | 26 |
| 58 | TC      | A4      | 27 |
| 59 | ALE     | A3      | 28 |
| 60 | +5V     | A2      | 29 |
| 61 | 14.3MHZ | A1      | 30 |
| 62 | GND     | A0      | 31 |

|    |          |       |    |
|----|----------|-------|----|
| 19 | -MEMCS16 | -SBHE | 1  |
| 20 | -IOCS16  | SA23  | 2  |
| 21 | IRQ10    | SA22  | 3  |
| 22 | IRQ11    | SA21  | 4  |
| 23 | IRQ12    | SA20  | 5  |
| 24 | IRQ15    | SA19  | 6  |
| 25 | IRQ14    | SA18  | 7  |
| 26 | -DACK0   | SA17  | 8  |
| 27 | DREQ0    | -MEMR | 9  |
| 28 | -DACK5   | -MEMW | 10 |
| 29 | DREQ5    | SD8   | 11 |
| 30 | -DACK6   | SD9   | 12 |
| 31 | DREQ6    | SD10  | 13 |
| 32 | -DACK7   | SD11  | 14 |
| 33 | DREQ7    | SD12  | 15 |
| 34 | +5V      | SD13  | 16 |
| 35 | -MASTER  | SD14  | 17 |
| 36 | GND      | SD15  | 18 |

## 4.- Técnicas de conexión al bus.

La conexión de una unidad al bus de un sistema presenta serios problemas de adaptación y es necesario conocer las diferentes técnicas básicas existentes para poder decidir cual es la más apropiada para ser utilizada en un caso determinado suponiendo que no estén impuestas por las especificaciones propias del bus del sistema.

### 4.1.- Transmisores.

Cuando en un sistema se desea que existan varias fuentes de información sobre un mismo bus se utilizan circuitos transmisores para buses (**bus drivers**) para seleccionar y controlar las salidas de las diferentes fuentes de información y poder evitar las interferencias entre ellas.

Los transmisores de bus tienen tres funciones básicas que realizar:

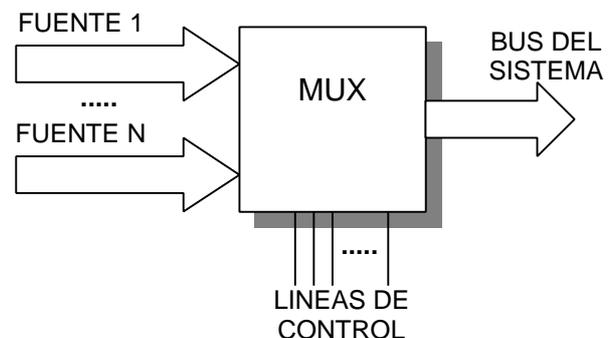
- Asegurar la *compatibilidad eléctrica* entre cada una de las fuentes de información conectadas a ese bus.
- Controlar la *conexión y desconexión* al bus de las distintas fuentes.
- *Multiplexar la información* sobre el bus.

Los tipos de transmisores de bus más utilizados son los siguientes:

#### El transmisor OR-LÓGICO

Este tipo de transmisor incluye un multiplexor digital realizado mediante puertas lógicas con **salida totem-pole**.

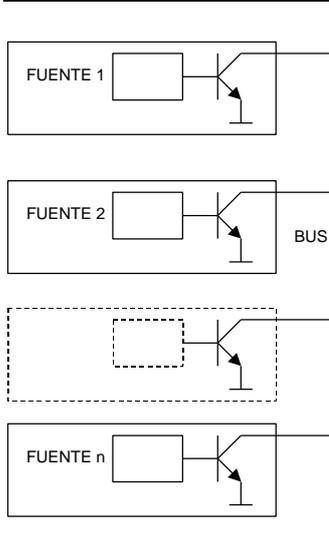
Dado que siempre existe una de las fuentes conectadas al bus, este tipo de transmisor no es posible utilizarlo en buses bidireccionales. Además tiene grandes inconvenientes en aquellos sistemas en que las fuentes de información están geográficamente distantes y es difícil de modificar en el caso de necesitar una ampliación en el número de fuentes de información.



#### El transmisor OR-CABLEADO

En este caso, el multiplexado de las distintas fuentes se realiza por medio de puertas lógicas con salida en colector abierto en las líneas de salida de señal de cada fuente de información.

Las salidas de estas puertas se unen directamente a la línea de señal que corresponda del bus. Dado que el transistor de la etapa de salida de este tipo de puertas estará al corte en todas las señales correspondientes a unidades fuentes no seleccionadas, el estado del transistor de salida de la unidad fuente seleccionada será el que determine el estado de esa línea de señal en el bus del sistema.



Este tipo de transmisor se puede utilizar en buses bidireccionales ya que el bus queda libre cuando no se selecciona ninguna de las fuentes conectadas a él.

### El transmisor TRIESTADO

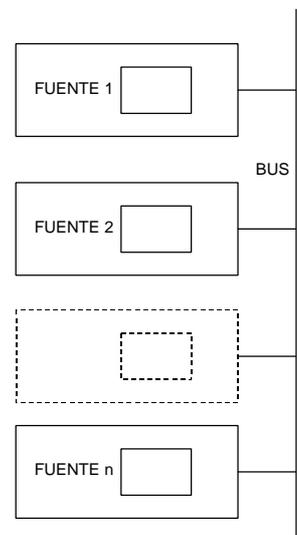
Este tipo de transmisor utiliza salida triestado, de tal forma que en la salida de la unidad X podemos observar uno de los tres estados siguientes:

| Estado lógico | Nivel lógico | Comentario   |
|---------------|--------------|--|
| Activado      | Nivel H      | Nivel establecido por la unidad X                      |
| Activado      | Nivel L      | Nivel establecido por la unidad X                      |
| Desactivado   | H ó L        | Nivel establecido por elementos externos a la unidad X |

Recordemos que los niveles lógico que establece un dispositivo con salida triestado durante el estado de activado corresponden a los niveles lógicos normales dentro de la familia lógica utilizada mientras que el estado de desactivación corresponde con una desconexión eléctrica de la señal.

Este tipo de transmisor es posible utilizarlo en casos de buses bidireccionales ya que resulta *muy flexible* por el hecho de poder controlar el estado de su salida (activo o no). Por tanto, es el más utilizado en la práctica.

Dado que para un sistema determinado el tipo de conexión al bus que se realice es el mismo en todas las unidades, el bus se califica como bus triestado, colector abierto, etc..



### **4.2.- Receptores.**

Cada uno de los elementos del sistema que sean capaces de actuar como unidad destino en una transferencia de información por el bus del sistema necesita disponer de los elementos receptores adecuados para ello. Estos elementos son los receptores de bus (bus receivers) que tienen encomendadas las funciones siguientes:

- a) **Asegurar la *compatibilidad eléctrica*** entre el transmisor y el receptor de la información, respetando las características especificadas por el bus del sistema.
- b) **Controlar el flujo de la información** desde el bus al elemento seleccionado.

El receptor de bus más simple es aquél en que la entrada se realiza a través de puertas lógicas convencionales compatibles con el bus. La **carga máxima** del bus viene determinada por las características del transmisor o por la propia especificación del bus. Esto limita el número de entradas conectables a un bus. Por otro lado hay que tener en cuenta la capacidad (capacitancia) que aporta cada una de las entradas al ser conectada al bus y la longitud de hilo que se añade en la propia conexión (inductancia). Estos dos últimos parámetros se hacen especialmente críticos en sistemas que trabajan a alta velocidad de conmutación (por encima de los 10 MHz). En la mayoría de los demás casos apenas tiene influencia.

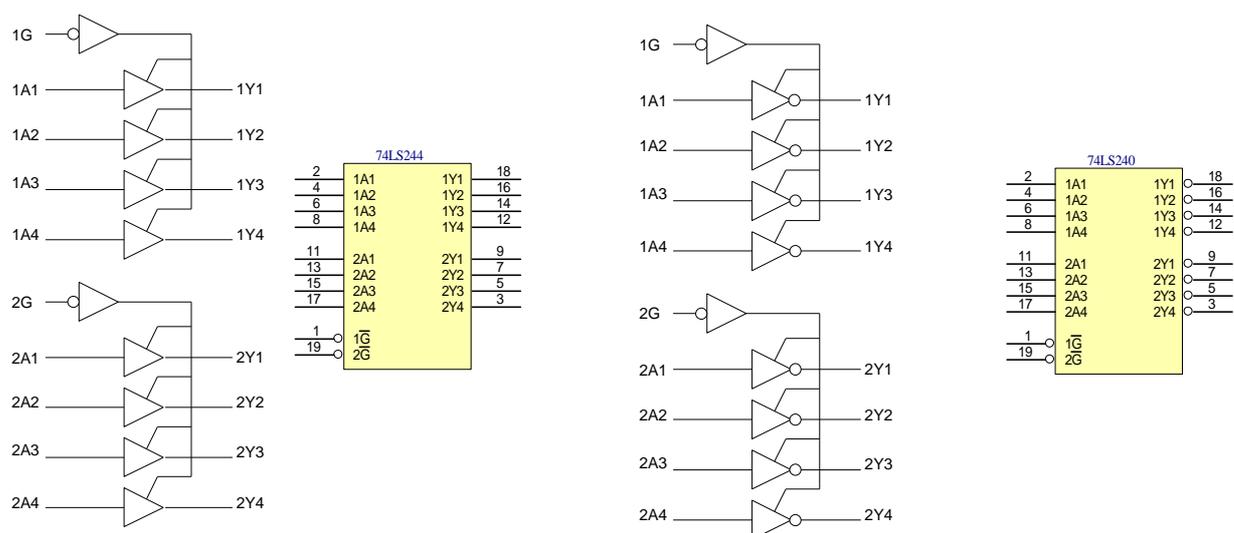
Otros receptores incorporan biestables en los que se retiene la información temporalmente (LS373, LS374, LS273, LS574, ..).

### 4.3.- Transceptores.

Dada la importancia que adquiere la conexión al bus en cualquier sistema, existen dispositivos especiales diseñados para actuar como transmisores (para líneas de salida) o receptores (para líneas de entrada). Estos dispositivos son los transceptores de bus (**bus transceivers**). Existen varios tipos de transceptores de bus pero podemos resumirlos en tres tipos fundamentales.

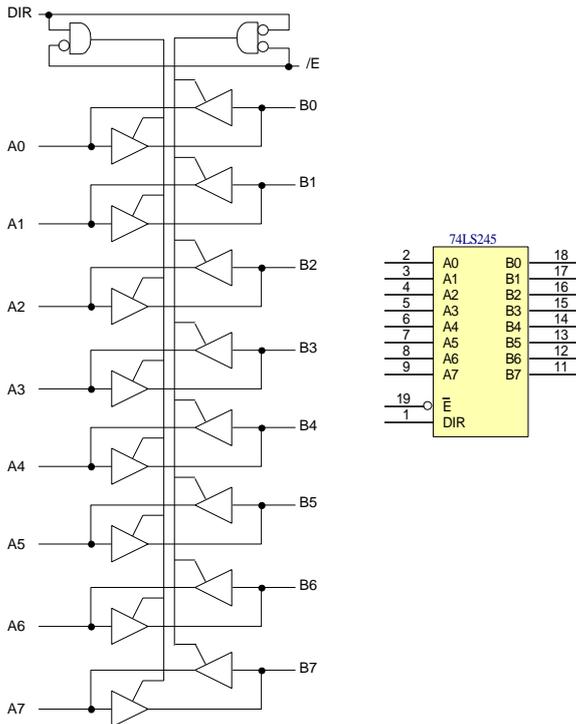
#### Transceptores unidireccionales

El transceptor unidireccional es asimilable al bus driver y al bus receiver de los que hemos hablado antes que dependiendo de que se conecte su salida al bus o su entrada al bus se comportará como uno u otro. Dispone de una *señal de control para la desconexión de su salida* (/OE) que pone la salida del dispositivo en triestado. Los dispositivos que realizan esta función en la familia TTL son el 74LS244 como salida directa y el 74LS240 como salida invertida. Las figuras siguientes muestran el esquema lógico de estos dispositivos.



#### Transceptores bidireccionales

Estos dispositivos incorporan en su interior un transmisor y un receptor de bus por cada una de las líneas que disponga. La figura siguiente muestra el esquema lógico de una cualquiera de las líneas.



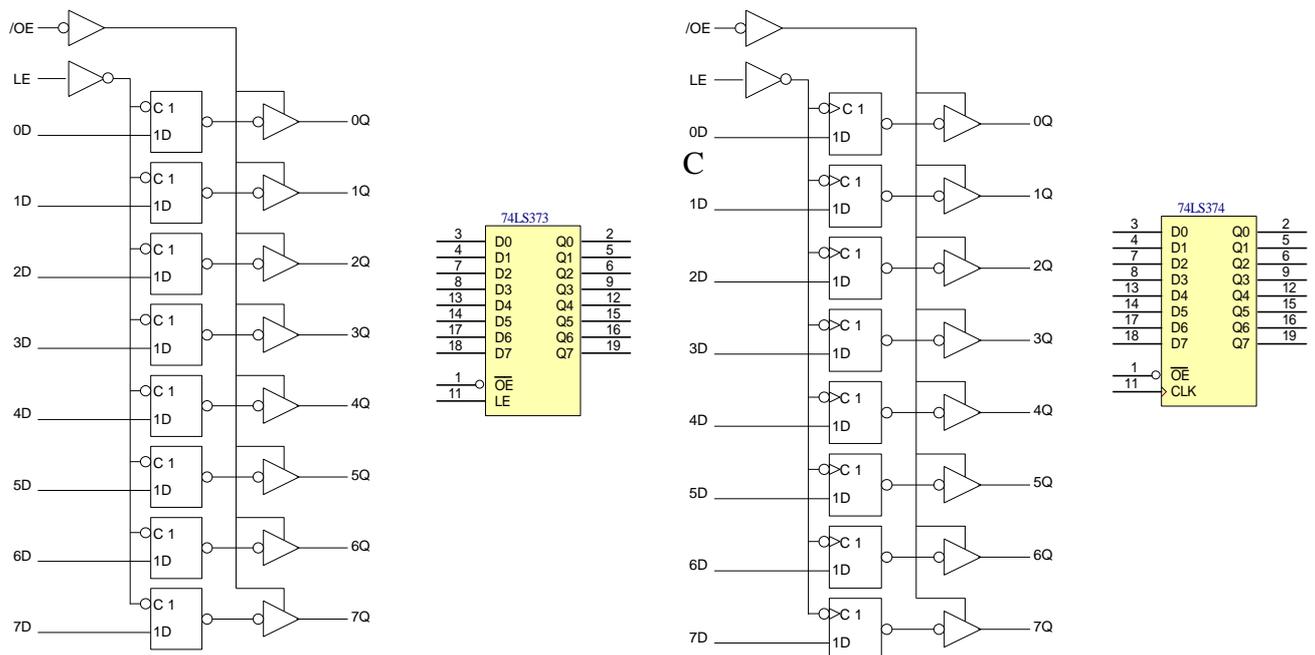
Una señal de **control de dirección** (DIR) hace que el dispositivo se comporte como transmisor o como receptor. Una segunda señal de **control de salida** permite la desconexión del dispositivo de las líneas. Esta última señal /OE nos va a permitir que podamos hacer la maniobra de invertir el sentido de la información (de A a B o de B a A) sin tener conectadas las salidas a los circuitos externos, evitando así posibles cortocircuitos durante la conmutación. En la familia TTL es dispositivo que realiza esta función es el 74LS245.

### Transceptores registrados

En muchas ocasiones es necesario *retener una determinada información* a la entrada o a la salida de una unidad hacia el bus del sistema. Para estos casos, disponemos de dispositivos que además de ser transceptores de bus, registran la señal. Al igual que los transceptores no registrados, los registrados pueden ser unidireccionales o bidireccionales.

Los transceptores registrados unidireccionales disponen de un biestable y de un transmisor de bus por cada línea que pueda conectar, en el caso de ser un transmisor. En el caso de ser un receptor, incluye un receptor de bus y un biestable por cada línea que sea capaz de conectar. La figura siguiente muestra el esquema lógico.

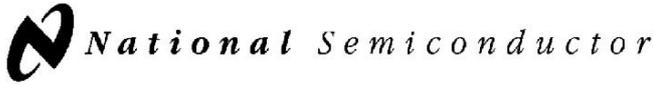
Como podemos observar, disponen en ambos casos de una **señal de reloj** (LE ó CLK) para el biestable y una **señal de control del triestado** (/OE) en el caso de los transmisores. Comercialmente estos transceptores disponen de un receptor de entrada, un biestable y un transmisor de salida.



Con esta configuración, el mismo dispositivo se utiliza como transmisor y como receptor. Dependiendo del modo de funcionamiento de biestable tenemos dos tipos, *funcionamiento por flanco* y *transparente*. En el primer caso el biestable interno es de tipo D disparado por flanco (ascendente o descendente dependiendo del modelo) y en el segundo caso el biestable solo retiene la información en uno de los dos estados lógicos del reloj, en el otro estado su comportamiento es transparente.

Los dispositivos más usuales en TTL son el 74LS374 como *transceptor unidireccional registrado por flanco ascendente* y el 74LS373 como *transceptor unidireccional registrado transparente*. Los transceptores registrados bidireccionales disponen de un transceptor registrado transmisor, un transceptor registrado receptor y la lógica de control necesaria para realizar las diferentes maniobras.

## 5.- Dispositivos de conexión al bus.



August 1989

### 54LS244/DM74LS244 Octal TRI-STATE® Buffers/Line Drivers/Line Receivers

#### General Description

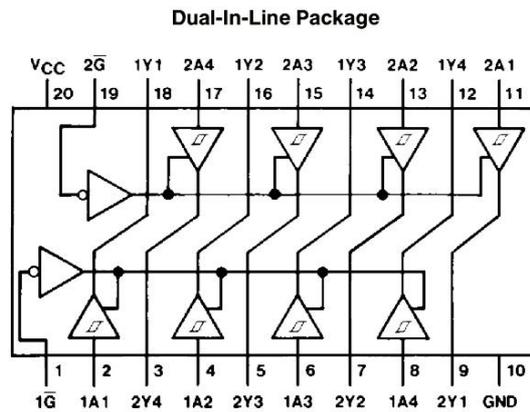
These buffers/line drivers are designed to improve both the performance and PC board density of TRI-STATE buffers/drivers employed as memory-address drivers, clock drivers, and bus-oriented transmitters/receivers. Featuring 400 mV of hysteresis at each low current PNP data line input, they provide improved noise rejection and high fanout outputs and can be used to drive terminated lines down to 133Ω.

#### Features

- TRI-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at data inputs improves noise margins

- Typical I<sub>OL</sub> (sink current)
  - 54LS 12 mA
  - 74LS 24 mA
- Typical I<sub>OH</sub> (source current)
  - 54LS -12 mA
  - 74LS -15 mA
- Typical propagation delay times
  - Inverting 10.5 ns
  - Noninverting 12 ns
- Typical enable/disable time 18 ns
- Typical power dissipation (enabled)
  - Inverting 130 mW
  - Noninverting 135 mW

#### Connection Diagram



TL/F/8442-1

Order Number 54LS244DMQB, 54LS244FMQB, 54LS244LMQB,  
DM74LS244WM or DM74LS244N  
See NS Package Number E20A, J20A, M20B, N20A or W20A

#### Function Table

| Inputs    |   | Output |
|-----------|---|--------|
| $\bar{G}$ | A | Y      |
| L         | L | L      |
| L         | H | H      |
| H         | X | Z      |

L = Low Logic Level  
H = High Logic Level  
X = Either Low or High Logic Level  
Z = High Impedance

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

54LS244/DM74LS244 Octal TRI-STATE Buffers/Line Drivers/Line Receivers

**Absolute Maximum Ratings** (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

|                                      |                 |
|--------------------------------------|-----------------|
| Supply Voltage                       | 7V              |
| Input Voltage                        | 7V              |
| Operating Free Air Temperature Range |                 |
| 54LS                                 | –55°C to +125°C |
| DM74LS                               | 0°C to +70°C    |
| Storage Temperature Range            | –65°C to +150°C |

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

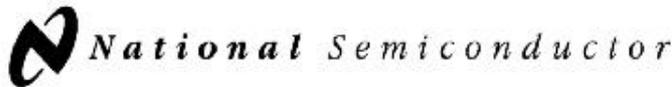
| Symbol          | Parameter                      | 54LS244 |     |     | DM74LS244 |     |      | Units |
|-----------------|--------------------------------|---------|-----|-----|-----------|-----|------|-------|
|                 |                                | Min     | Nom | Max | Min       | Nom | Max  |       |
| V <sub>CC</sub> | Supply Voltage                 | 4.5     | 5   | 5.5 | 4.75      | 5   | 5.25 | V     |
| V <sub>IH</sub> | High Level Input Voltage       | 2       |     |     | 2         |     |      | V     |
| V <sub>IL</sub> | Low Level Input Voltage        |         |     | 0.7 |           |     | 0.8  | V     |
| I <sub>OH</sub> | High Level Output Current      |         |     | –12 |           |     | –15  | mA    |
| I <sub>OL</sub> | Low Level Output Current       |         |     | 12  |           |     | 24   | mA    |
| T <sub>A</sub>  | Free Air Operating Temperature | –55     |     | 125 | 0         |     | 70   | °C    |

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

| Symbol           | Parameter   | Conditions   |   | Min  | Typ (Note 1) | Max  | Units |
|------------------|---|--|---|------|--------------|------|-------|
| V <sub>I</sub>   | Input Clamp Voltage   | V <sub>CC</sub> = Min, I <sub>I</sub> = –18 mA   |   |      |              | –1.5 | V     |
| HYS              | Hysteresis (V <sub>T+</sub> – V <sub>T–</sub> )<br>Data Inputs Only | V <sub>CC</sub> = Min  |   | 0.2  | 0.4          |      | V     |
| V <sub>OH</sub>  | High Level Output Voltage   | V <sub>CC</sub> = Min, V <sub>IH</sub> = Min<br>V <sub>IL</sub> = Max, I <sub>OH</sub> = –1 mA | DM74  | 2.7  |              |      | V     |
|                  |   | V <sub>CC</sub> = Min, V <sub>IH</sub> = Min<br>V <sub>IL</sub> = Max, I <sub>OH</sub> = –3 mA | 54LS/DM74   | 2.4  | 3.4          |      |       |
|                  |   | V <sub>CC</sub> = Min, V <sub>IH</sub> = Min<br>V <sub>IL</sub> = 0.5V, I <sub>OH</sub> = Max  | 54LS/DM74   | 2    |              |      |       |
| V <sub>OL</sub>  | Low Level Output Voltage  | V <sub>CC</sub> = Min<br>V <sub>IL</sub> = Max<br>V <sub>IH</sub> = Min                        | I <sub>OL</sub> = 12 mA<br>54LS/DM74                      |      |              | 0.4  | V     |
|                  |   |  | I <sub>OL</sub> = Max<br>DM74                             |      |              | 0.5  |       |
| I <sub>OZH</sub> | Off-State Output Current,<br>High Level Voltage Applied             | V <sub>CC</sub> = Max<br>V <sub>IL</sub> = Max<br>V <sub>IH</sub> = Min                        | V <sub>O</sub> = 2.7V                                     |      |              | 20   | μA    |
| I <sub>OZL</sub> | Off-State Output Current,<br>Low Level Voltage Applied              |  | V <sub>O</sub> = 0.4V                                     |      |              | –20  | μA    |
| I <sub>I</sub>   | Input Current at Maximum<br>Input Voltage                           | V <sub>CC</sub> = Max  | V <sub>I</sub> = 7V (DM74)<br>V <sub>I</sub> = 10V (54LS) |      |              | 0.1  | mA    |
| I <sub>IH</sub>  | High Level Input Current  | V <sub>CC</sub> = Max  | V <sub>I</sub> = 2.7V                                     |      |              | 20   | μA    |
| I <sub>IL</sub>  | Low Level Input Current   | V <sub>CC</sub> = Max  | V <sub>I</sub> = 0.4V                                     | –0.5 |              | –200 | μA    |
| I <sub>OS</sub>  | Short Circuit Output Current  | V <sub>CC</sub> = Max (Note 2)   |   | 54LS |              | –50  | mA    |
|                  |   |  | DM74  |      |              | –40  |       |
| I <sub>CC</sub>  | Supply Current  | V <sub>CC</sub> = Max,<br>Outputs Open   | Outputs High  |      | 13           | 23   | mA    |
|                  |   |  | Outputs Low   |      | 27           | 46   |       |
|                  |   |  | Outputs Disabled  |      | 32           | 54   |       |

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.



June 1989

## 54LS245/DM54LS245/DM74LS245 TRI-STATE® Octal Bus Transceiver

### General Description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

The device allows data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input ( $\bar{G}$ ) can be used to disable the device so that the buses are effectively isolated.

- PNP inputs reduce DC loading on bus lines
- Hysteresis at bus inputs improve noise margins
- Typical propagation delay times, port-to-port 8 ns
- Typical enable/disable times 17 ns

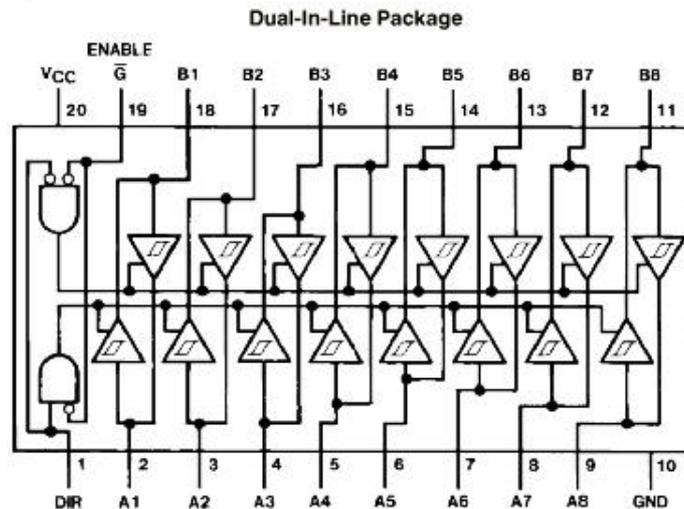
- $I_{OL}$  (sink current)
  - 54LS 12 mA
  - 74LS 24 mA
- $I_{OH}$  (source current)
  - 54LS -12 mA
  - 74LS -15 mA

- Alternate Military/Aerospace device (54LS245) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Features

- Bi-Directional bus transceiver in a high-density 20-pin package
- TRI-STATE outputs drive bus lines directly

### Connection Diagram



TL/F/6413-1

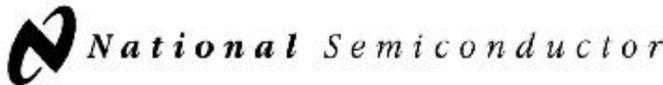
Order Number 54LS245DMQB, 54LS245FMQB, 54LS245LMQB,  
DM54LS245J, DM54LS245W, DM74LS245WM or DM74LS245N  
See NS Package Number E20A, J20A, M20B, N20A or W20A

### Function Table

| Enable<br>$\bar{G}$ | Direction Control<br>DIR | Operation       |
|---------------------|--------------------------|-----------------|
| L                   | L                        | B data to A bus |
| L                   | H                        | A data to B bus |
| H                   | X                        | Isolation       |

H = High Level, L = Low Level, X = Irrelevant

TRI-STATE® is a registered trademark of National Semiconductor Corporation.



April 1992

# DM54LS240/DM74LS240, DM54LS241/DM74LS241 Octal TRI-STATE® Buffers/Line Drivers/Line Receivers

## General Description

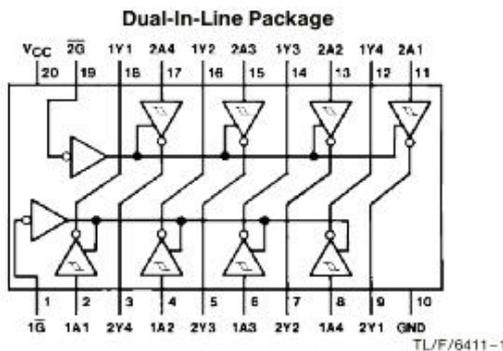
These buffers/line drivers are designed to improve both the performance and PC board density of TRI-STATE buffers/drivers employed as memory-address drivers, clock drivers, and bus-oriented transmitters/receivers. Featuring 400 mV of hysteresis at each low current PNP data line input, they provide improved noise rejection and high fanout outputs and can be used to drive terminated lines down to 133Ω.

## Features

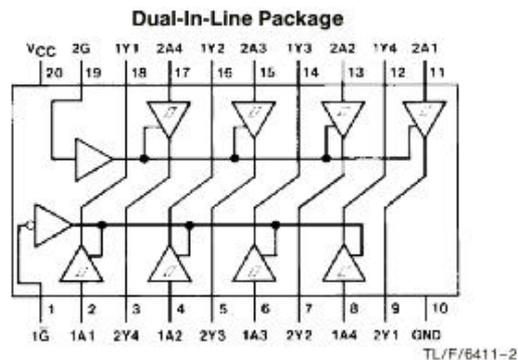
- TRI-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at data inputs improves noise margins

- Typical  $I_{OL}$  (sink current)
  - 54LS 12 mA
  - 74LS 24 mA
- Typical  $I_{OH}$  (source current)
  - 54LS -12 mA
  - 74LS -15 mA
- Typical propagation delay times
  - Inverting 10.5 ns
  - Noninverting 12 ns
- Typical enable/disable time 18 ns
- Typical power dissipation (enabled)
  - Inverting 130 mW
  - Noninverting 135 mW

## Connection Diagrams



Order Number DM54LS240J,  
DM54LS240W, DM54LS240E,  
DM74LS240WM or DM74LS240N  
See NS Package Number E20A, J20A,  
M20B, N20A or W20A



Order Number DM54LS241J,  
DM54LS241W, DM54LS241E,  
DM74LS241WM or DM74LS241N  
See NS Package Number E20A, J20A,  
M20B, N20A or W20A

## Function Tables

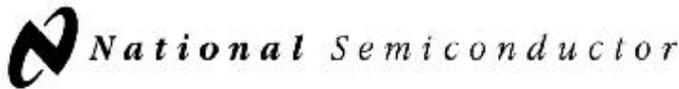
| Inputs    |   | Output |
|-----------|---|--------|
| $\bar{G}$ | A | Y      |
| L         | L | H      |
| L         | H | L      |
| H         | X | Z      |

| Inputs |           |    |    | Outputs |    |
|--------|-----------|----|----|---------|----|
| G      | $\bar{G}$ | 1A | 2A | 1Y      | 2Y |
| X      | L         | L  | X  | L       |    |
| X      | L         | H  | X  | H       |    |
| X      | H         | X  | X  | Z       |    |
| H      | X         | X  | L  |         | L  |
| H      | X         | X  | H  |         | H  |
| L      | X         | X  | X  |         | Z  |

L = Low Logic Level  
H = High Logic Level  
X = Either Low or High Logic Level  
Z = High Impedance

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

DM54LS240/DM74LS240, DM54LS241/DM74LS241  
Octal TRI-STATE Buffers/Line Drivers/Line Receivers



May 1992

# DM54LS373/DM74LS373, DM54LS374/DM74LS374 TRI-STATE® Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

## General Description

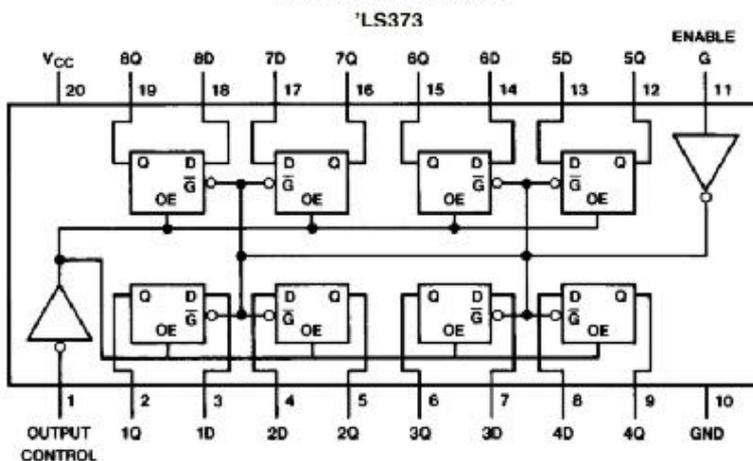
These 8-bit registers feature totem-pole TRI-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers. (Continued)

## Features

- Choice of 8 latches or 8 D-type flip-flops in a single package
- TRI-STATE bus-driving outputs
- Full parallel-access for loading
- Buffered control inputs
- P-N-P inputs reduce D-C loading on data lines

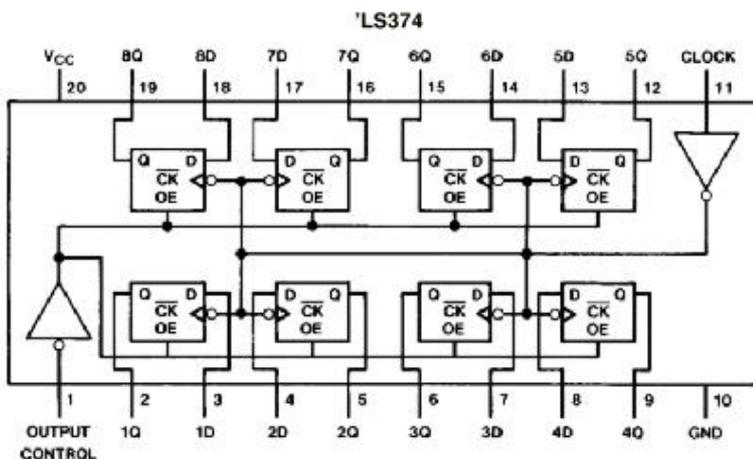
## Connection Diagrams

Dual-In-Line Packages



Order Number  
DM54LS373J,  
DM54LS373W,  
DM74LS373N or  
DM74LS373WM  
See NS Package Number  
J20A, M20B, N20A or  
W20A

TL/F/6431-1



Order Number  
DM54LS374J,  
DM54LS374W,  
DM74LS374WM or  
DM74LS374N  
See NS Package Number  
J20A, M20B, N20A or  
W20A

TL/F/6431-2

TRI-STATE® is a registered trademark of National Semiconductor Corp.

DM54LS373/DM74LS373, DM54LS374/DM74LS374  
TRI-STATE Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

**General Description** (Continued)

The eight latches of the DM54/74LS373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

The eight flip-flops of the DM54/74LS374 are edge-triggered D-type flip flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

**Function Tables**

DM54/74LS373

| Output Control | Enable G | D | Output         |
|----------------|----------|---|----------------|
| L              | H        | H | H              |
| L              | H        | L | L              |
| L              | L        | X | Q <sub>0</sub> |
| H              | X        | X | Z              |

DM54/74LS374

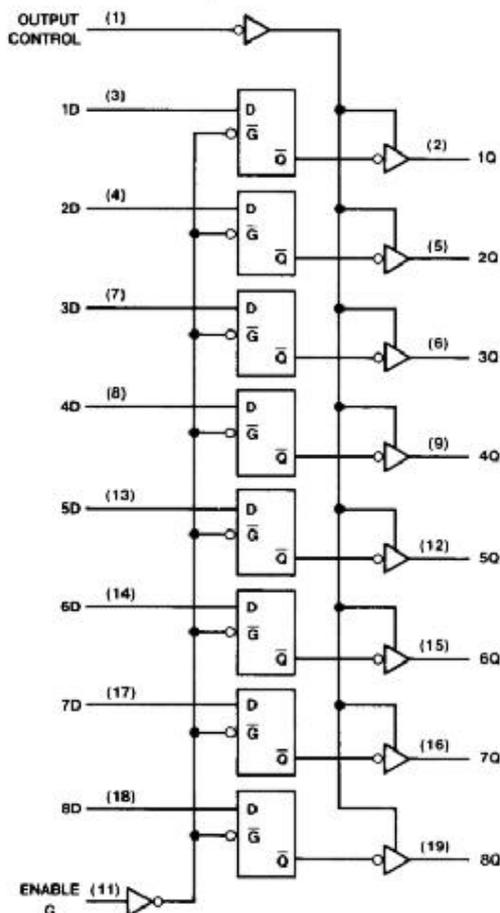
| Output Control | Clock | D | Output         |
|----------------|-------|---|----------------|
| L              | ↑     | H | H              |
| L              | ↑     | L | L              |
| L              | L     | X | Q <sub>0</sub> |
| H              | X     | X | Z              |

H = High Level (Steady State), L = Low Level (Steady State), X = Don't Care  
 ↑ = Transition from low-to-high level, Z = High Impedance State  
 Q<sub>0</sub> = The level of the output before steady-state input conditions were established.

**Logic Diagrams**

DM54/74LS373

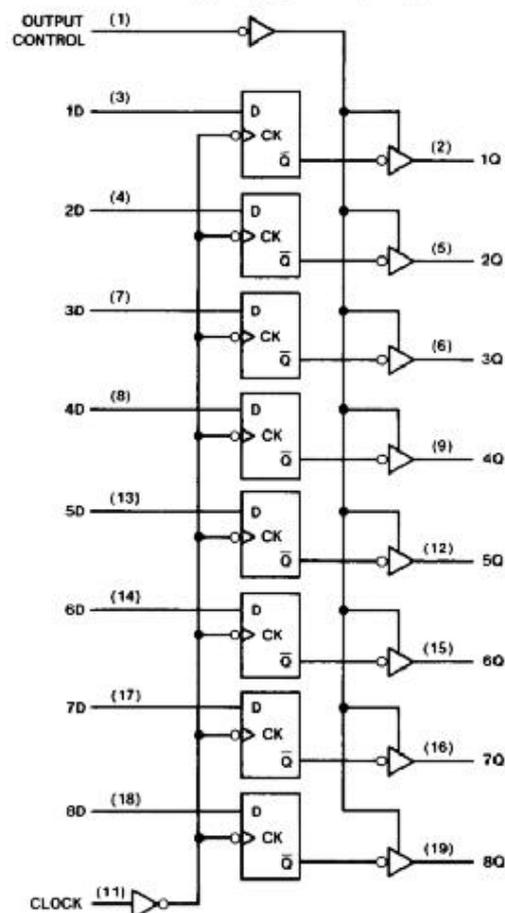
Transparent Latches



TL/F/6431-3

DM54/74LS374

Positive-Edge-Triggered Flip-Flops



TL/F/6431-4

**Absolute Maximum Ratings** (See Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

|                                      |                 |
|--------------------------------------|-----------------|
| Supply Voltage                       | 7V              |
| Input Voltage                        | 7V              |
| Storage Temperature Range            | -65°C to +150°C |
| Operating Free Air Temperature Range |                 |
| DM54LS                               | -55°C to +125°C |
| DM74LS                               | 0°C to +70°C    |

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

| Symbol          | Parameter                      | DM54LS373   |     |     | DM74LS373 |     |      | Units |
|-----------------|--------------------------------|-------------|-----|-----|-----------|-----|------|-------|
|                 |                                | Min         | Nom | Max | Min       | Nom | Max  |       |
| V <sub>CC</sub> | Supply Voltage                 | 4.5         | 5   | 5.5 | 4.75      | 5   | 5.25 | V     |
| V <sub>IH</sub> | High Level Input Voltage       | 2           |     |     | 2         |     |      | V     |
| V <sub>IL</sub> | Low Level Input Voltage        |             |     | 0.7 |           |     | 0.8  | V     |
| I <sub>OH</sub> | High Level Output Current      |             |     | -1  |           |     | -2.6 | mA    |
| I <sub>OL</sub> | Low Level Output Current       |             |     | 12  |           |     | 24   | mA    |
| t <sub>w</sub>  | Pulse Width (Note 2)           | Enable High | 15  |     | 15        |     |      | ns    |
|                 |                                | Enable Low  | 15  |     | 15        |     |      |       |
| t <sub>SU</sub> | Data Setup Time (Notes 1 & 2)  | 5 ↓         |     |     | 5 ↓       |     |      | ns    |
| t <sub>H</sub>  | Data Hold Time (Notes 1 & 2)   | 20 ↓        |     |     | 20 ↓      |     |      | ns    |
| T <sub>A</sub>  | Free Air Operating Temperature | -55         |     | 125 | 0         |     | 70   | °C    |

Note 1: The symbol ( ↓ ) indicates the falling edge of the clock pulse is used for reference.

Note 2: T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

**'LS373 Electrical Characteristics**

over recommended operating free air temperature range (unless otherwise noted)

| Symbol           | Parameter   | Conditions   | Min  | Typ (Note 1) | Max  | Units |
|------------------|---|--|------|--------------|------|-------|
| V <sub>I</sub>   | Input Clamp Voltage   | V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA   |      |              | -1.5 | V     |
| V <sub>OH</sub>  | High Level Output Voltage                                       | V <sub>CC</sub> = Min<br>I <sub>OH</sub> = Max<br>V <sub>IL</sub> = Max<br>V <sub>IH</sub> = Min | DM54 | 2.4          | 3.4  | V     |
|                  |   |  | DM74 | 2.4          | 3.1  |       |
| V <sub>OL</sub>  | Low Level Output Voltage  | V <sub>CC</sub> = Min<br>I <sub>OL</sub> = Max<br>V <sub>IL</sub> = Max<br>V <sub>IH</sub> = Min | DM54 |              | 0.25 | V     |
|                  |   |  | DM74 |              | 0.35 |       |
|                  |   | I <sub>OL</sub> = 12 mA<br>V <sub>CC</sub> = Min   | DM74 |              | 0.4  |       |
| I <sub>I</sub>   | Input Current @ Max Input Voltage                               | V <sub>CC</sub> = Max, V <sub>I</sub> = 7V   |      |              | 0.1  | mA    |
| I <sub>IH</sub>  | High Level Input Current  | V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V   |      |              | 20   | μA    |
| I <sub>IL</sub>  | Low Level Input Current   | V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V   |      |              | -0.4 | mA    |
| I <sub>OZH</sub> | Off-State Output Current with High Level Output Voltage Applied | V <sub>CC</sub> = Max, V <sub>O</sub> = 2.7V<br>V <sub>IH</sub> = Min, V <sub>IL</sub> = Max     |      |              | 20   | μA    |
| I <sub>OZL</sub> | Off-State Output Current with Low Level Output Voltage Applied  | V <sub>CC</sub> = Max, V <sub>O</sub> = 0.4V<br>V <sub>IH</sub> = Min, V <sub>IL</sub> = Max     |      |              | -20  | μA    |
| I <sub>OS</sub>  | Short Circuit Output Current                                    | V <sub>CC</sub> = Max (Note 2)   | DM54 | -20          | -100 | mA    |
|                  |   |  | DM74 | -50          | -225 |       |
| I <sub>CC</sub>  | Supply Current  | V <sub>CC</sub> = Max, OC = 4.5V,<br>D <sub>n</sub> , Enable = GND                               |      | 24           | 40   | mA    |

| <b>'LS373 Switching Characteristics</b> at $V_{CC} = 5V$ and $T_A = 25^\circ C$<br>(See Section 1 for Test Waveforms and Output Load) |   |                                   |                      |     |                       |     |       |  |
|---|---|-----------------------------------|----------------------|-----|-----------------------|-----|-------|--|
| Symbol  | Parameter   | From<br>(Input)<br>To<br>(Output) | $R_L = 667\Omega$    |     |                       |     | Units |  |
|   |   |                                   | $C_L = 45\text{ pF}$ |     | $C_L = 150\text{ pF}$ |     |       |  |
|   |   |                                   | Min                  | Max | Min                   | Max |       |  |
| $t_{PLH}$   | Propagation Delay<br>Time Low to High<br>Level Output     | Data<br>to<br>Q                   |                      | 18  |                       | 26  | ns    |  |
| $t_{PHL}$   | Propagation Delay<br>Time High to Low<br>Level Output     | Data<br>to<br>Q                   |                      | 18  |                       | 27  | ns    |  |
| $t_{PLH}$   | Propagation Delay<br>Time Low to High<br>Level Output     | Enable<br>to<br>Q                 |                      | 30  |                       | 38  | ns    |  |
| $t_{PHL}$   | Propagation Delay<br>Time High to Low<br>Level Output     | Enable<br>to<br>Q                 |                      | 30  |                       | 36  | ns    |  |
| $t_{pZH}$   | Output Enable<br>Time to High<br>Level Output             | Output<br>Control<br>to Any Q     |                      | 28  |                       | 36  | ns    |  |
| $t_{pZL}$   | Output Enable<br>Time to Low<br>Level Output              | Output<br>Control<br>to Any Q     |                      | 36  |                       | 50  | ns    |  |
| $t_{PHZ}$   | Output Disable<br>Time from High<br>Level Output (Note 3) | Output<br>Control<br>to Any Q     |                      | 20  |                       |     | ns    |  |
| $t_{PLZ}$   | Output Disable<br>Time from Low<br>Level Output (Note 3)  | Output<br>Control<br>to Any Q     |                      | 25  |                       |     | ns    |  |

**Note 1:** All typicals are at  $V_{CC} = 5V$ ,  $T_A = 25^\circ C$ .

**Note 2:** Not more than one output should be shorted at a time, and the duration should not exceed one second.

**Note 3:**  $C_L = 5\text{ pF}$ .

### Recommended Operating Conditions

| Symbol   | Parameter                      | DM54LS374  |     |     | DM74LS374 |     |      | Units      |
|----------|--------------------------------|------------|-----|-----|-----------|-----|------|------------|
|          |                                | Min        | Nom | Max | Min       | Nom | Max  |            |
| $V_{CC}$ | Supply Voltage                 | 4.5        | 5   | 5.5 | 4.75      | 5   | 5.25 | V          |
| $V_{IH}$ | High Level Input Voltage       | 2          |     |     | 2         |     |      | V          |
| $V_{IL}$ | Low Level Input Voltage        |            |     | 0.7 |           |     | 0.8  | V          |
| $I_{OH}$ | High Level Output Current      |            |     | -1  |           |     | -2.6 | mA         |
| $I_{OL}$ | Low Level Output Current       |            |     | 12  |           |     | 24   | mA         |
| $t_W$    | Pulse Width<br>(Note 4)        | Clock High | 15  |     | 15        |     |      | ns         |
|          |                                | Clock Low  | 15  |     | 15        |     |      |            |
| $t_{SU}$ | Data Setup Time (Notes 1 & 4)  | 20 ↑       |     |     | 20 ↑      |     |      | ns         |
| $t_H$    | Data Hold Time (Notes 1 & 4)   | 1 ↑        |     |     | 1 ↑       |     |      | ns         |
| $T_A$    | Free Air Operating Temperature | -55        |     | 125 | 0         |     | 70   | $^\circ C$ |

**Note 1:** The symbol (↑) indicates the rising edge of the clock pulse is used for reference.

**Note 4:**  $T_A = 25^\circ C$  and  $V_{CC} = 5V$ .

| <b>'LS374 Electrical Characteristics</b>                                       |   |  |   |              |      |               |    |
|--|---|--|---|--------------|------|---------------|----|
| over recommended operating free air temperature range (unless otherwise noted) |   |  |   |              |      |               |    |
| Symbol   | Parameter   | Conditions   | Min   | Typ (Note 1) | Max  | Units         |    |
| $V_I$  | Input Clamp Voltage   | $V_{CC} = \text{Min}, I_I = -18 \text{ mA}$  |   |              | -1.5 | V             |    |
| $V_{OH}$   | High Level Output Voltage                                       | $V_{CC} = \text{Min}$<br>$I_{OH} = \text{Max}$<br>$V_{IL} = \text{Max}$<br>$V_{IH} = \text{Min}$ | DM54  | 2.4          | 3.4  |               | V  |
|  |   |  | DM74  | 2.4          | 3.1  |               |    |
| $V_{OL}$   | Low Level Output Voltage  | $V_{CC} = \text{Min}$<br>$I_{OL} = \text{Max}$<br>$V_{IL} = \text{Max}$<br>$V_{IH} = \text{Min}$ | DM54  |              | 0.25 | 0.4           | V  |
|  |   |  | DM74  |              | 0.35 | 0.5           |    |
|  |   |  | $I_{OL} = 12 \text{ mA}$<br>$V_{CC} = \text{Min}$ | DM74         |      | 0.25          |    |
| $I_I$  | Input Current @ Max Input Voltage                               | $V_{CC} = \text{Max}, V_I = 7\text{V}$   |   |              | 0.1  | mA            |    |
| $I_{IH}$   | High Level Input Current  | $V_{CC} = \text{Max}, V_I = 2.7\text{V}$   |   |              | 20   | $\mu\text{A}$ |    |
| $I_{IL}$   | Low Level Input Current   | $V_{CC} = \text{Max}, V_I = 0.4\text{V}$   |   |              | -0.4 | mA            |    |
| $I_{OZH}$  | Off-State Output Current with High Level Output Voltage Applied | $V_{CC} = \text{Max}, V_O = 2.7\text{V}$<br>$V_{IH} = \text{Min}, V_{IL} = \text{Max}$           |   |              | 20   | $\mu\text{A}$ |    |
| $I_{OZL}$  | Off-State Output Current with Low Level Output Voltage Applied  | $V_{CC} = \text{Max}, V_O = 0.4\text{V}$<br>$V_{IH} = \text{Min}, V_{IL} = \text{Max}$           |   |              | -20  | $\mu\text{A}$ |    |
| $I_{OS}$   | Short Circuit Output Current                                    | $V_{CC} = \text{Max}$<br>(Note 2)  | DM54  | -50          |      | -225          | mA |
|  |   |  | DM74  | -50          |      | -225          |    |
| $I_{CC}$   | Supply Current  | $V_{CC} = \text{Max}, D_n = \text{GND}, \text{OC} = 4.5\text{V}$                                 |   | 27           | 45   | mA            |    |

| <b>'LS374 Switching Characteristics</b> at $V_{CC} = 5\text{V}$ and $T_A = 25^\circ\text{C}$ |   |                       |     |                        |     |       |
|--|---|-----------------------|-----|------------------------|-----|-------|
| (See Section 1 for Test Waveforms and Output Load)   |   |                       |     |                        |     |       |
| Symbol   | Parameter   | $R_L = 667\Omega$     |     |                        |     | Units |
|  |   | $C_L = 45 \text{ pF}$ |     | $C_L = 150 \text{ pF}$ |     |       |
|  |   | Min                   | Max | Min                    | Max |       |
| $f_{\text{MAX}}$   | Maximum Clock Frequency                             | 35                    |     | 20                     |     | MHz   |
| $t_{\text{PLH}}$   | Propagation Delay Time Low to High Level Output     |                       | 28  |                        | 32  | ns    |
| $t_{\text{PHL}}$   | Propagation Delay Time High to Low Level Output     |                       | 28  |                        | 38  | ns    |
| $t_{\text{PZH}}$   | Output Enable Time to High Level Output             |                       | 28  |                        | 44  | ns    |
| $t_{\text{PZL}}$   | Output Enable Time to Low Level Output              |                       | 28  |                        | 44  | ns    |
| $t_{\text{PHZ}}$   | Output Disable Time from High Level Output (Note 3) |                       | 20  |                        |     | ns    |
| $t_{\text{PLZ}}$   | Output Disable Time from Low Level Output (Note 3)  |                       | 25  |                        |     | ns    |

**Note 1:** All typicals are at  $V_{CC} = 5\text{V}, T_A = 25^\circ\text{C}$ .

**Note 2:** Not more than one output should be shorted at a time, and the duration should not exceed one second.

**Note 3:**  $C_L = 5 \text{ pF}$ .