

UNIVERSIDAD DE HUELVA
ÁREA DE SISTEMAS

EXAMEN PARCIAL DEL 20-FEB-2001

ESCUELA POLITÉCNICA SUPERIOR
ELECTRÓNICA DIGITAL S. DIGITALES

TIEMPO: 40 MINUTOS

TEST TIPO B

APELLIDOS : _____

NOMBRE: _____ D.N.I.: _____

Notas :

?? El examen consta de 25 preguntas.

?? La calificación del examen se obtendrá sumando la puntuación según el siguiente baremo:

✍✍Pregunta correcta: 0.4 puntos.

✍✍Pregunta incorrecta: -0.1 puntos.

?? Las respuestas se escribirán en los casilleros correspondientes en la parte superior de las páginas.

?? Solo hay una respuesta válida por pregunta.

Respuestas	1 :	2 :	3 :	4 :	5 :
------------	-----	-----	-----	-----	-----

- 1) En el estudio de los diagramas de tiempo, se define T_{PHL} como:
 - A) Tiempo de retardo o propagación que transcurre al pasar la entrada de 1 a 0.
 - B) Tiempo de retardo o propagación al pasar la salida de 0 a 1.
 - C) Tiempo de retardo o propagación que transcurre al pasar la salida de 1 a 0.
 - D) Ninguna de las respuestas es cierta.

- 2) A la hora de reducir diagramas de estados, dos estados son reducibles cuando:
 - A) Ambos tienen salidas diferentes.
 - B) Tienen salidas iguales y transiciones a otros estados diferentes.
 - C) Tienen salidas y transiciones a otros estados idénticas.
 - D) Ninguno de los anteriores.

- 3) En un determinado momento $A=11H$, tras realizar la instrucción de rotación RLC A:
 - A) $A=11H$ y $C=0$.
 - B) $A=22H$ y $C=0$.
 - C) $A=22H$ y $C=1$.
 - D) $A=08H$ y $C=1$.

- 4) ¿ Puede la instrucción RET modificar el valor del puntero de pila (SP) ?:
 - A) No, solo lo modifican las instrucciones de manejo de la pila.
 - B) Si, la pila se emplea para almacenar la dirección de retorno en las llamadas a subrutina.
 - C) No, solo se modifica cuando se guarda la dirección de retorno con la instrucción CALL.
 - D) Si, se guarda la dirección de la instrucción siguiente a RET.

- 5) Un secuencial de Mealy se caracteriza porque:
 - A) Se obtienen las salidas de los estados internos. No intervienen las entradas directamente.
 - B) El sincronismo de las señales se establece mediante un determinado código de las señales de entrada.
 - C) Las salidas se obtienen como combinación de las entradas con los estados internos.
 - D) El sistema evoluciona sin ninguna señal de sincronismo.

Respuestas	6 :	7 :	8 :	9 :	10 :
------------	-----	-----	-----	-----	------

- 6) Una memoria de solo lectura (ROM), que puede programarse (PROM), puede considerarse como un dispositivo lógico programable (PLD) que se caracteriza por tener:
- A) Un array tipo AND y otro tipo OR que pueden ser programados por el usuario.
 - B) Un array tipo AND ya programado que funciona como decodificador de direcciones y un array OR programable por el usuario.
 - C) Dos arrays tipo AND, uno ya programado que funciona como decodificador y otro programable por el usuario.
 - D) Un array tipo AND programable por el usuario y un array tipo OR ya programado que funciona como decodificador de direcciones.
- 7) El circuito integrado 74LS74, que son 2 flip-flops tipo D activados por flanco de subida, indica en sus características un Tiempo de setup mínimo de 20 ns y Tiempo de Hold mínimo = 0 ns. Esto quiere decir que la entrada D debería permanecer estable:
- A) 0ns antes del flanco negativo de reloj y 20ns después, ya que en este tiempo se determina la operación a realizar.
 - B) 20ns antes del flanco positivo del reloj y 0ns después, ya que en este tiempo se determina la operación a realizar.
 - C) 20ns antes del flanco positivo de reloj y 0ns después del flanco negativo.
 - D) 20ns antes del flanco positivo del reloj y 0ns después, para que de tiempo a estabilizarse hasta el flanco negativo.
- 8) ¿ Pueden implementarse circuitos aritméticos que operen en BCD?
- A) Si, puede operarse directamente, ya que es un sistema de codificación de los dígitos decimales.
 - B) Si, incluyendo un circuito corrector que sume 6 en caso de que el resultado por dígito sea mayor que 9.
 - C) Si, mediante circuitos complementadores y sumadores.
 - D) Si, pero es necesario incluir un circuito corrector que sume 6 si la suma por dígito es menor que 9.
- 9) Con la lógica multinivel en las PLDs podemos:
- A) Aumentar el número de entradas del dispositivo.
 - B) Disminuir los tiempos de respuesta de nuestro diseño.
 - C) No supone ninguna ventaja ni inconveniente.
 - D) Aumentar el número de términos productos útiles en nuestro diseño, y por tanto, abaratar su costo.
- 10) En un biestable, la diferencia entre el disparo por flanco y el disparo por nivel es:
- A) El nivel es más fácil de producir que la transición.
 - B) Las entradas se prueban en un momento específico en el disparo por flanco.
 - C) Los disparos por nivel presentan un periodo de tiempo más largo.
 - D) El circuito de disparo por flanco presenta un periodo de tiempo más largo.

Respuestas	11 :	12 :	13 :	14 :	15 :
------------	------	------	------	------	------

- 11) La instrucción de carga MOV A, #3 :
- A) Tiene direccionamiento inmediato y 2 bytes de tamaño.
 - B) Tiene direccionamiento directo y 1 byte de tamaño.
 - C) Tiene direccionamiento implícito y 1 byte de tamaño.
 - D) Tiene direccionamiento indirecto y 3 bytes de tamaño.
- 12) En los sistemas basados en microprocesador, el acceso directo se utiliza cuando:
- A) El microprocesador busca instrucciones en la memoria.
 - B) Los datos se trasladan del microprocesador al periférico de forma directa.
 - C) Ninguna de las anteriores.
 - D) Los datos se trasladan del periférico o E/S de forma directa a la memoria o UCM sin la intervención del microprocesador.
- 13) El direccionamiento en que se emplea como base un registro de la CPU y como desplazamiento un operando para localizar un dato es el:
- A) Inmediato.
 - B) Directo.
 - C) Basado.
 - D) Indexado.
- 14) La principal diferencia entre los dispositivos CPLDs y las FPGAs es:
- A) El gran consumo de corriente de los CPLDs.
 - B) El elevado precio de los CPLDs.
 - C) El formato de las conexiones entre bloques de lógica, FPGAs utilizan un rutado único de las conexiones internas y las CPLDs varios tipos de rutado segmentado.
 - D) El formato de las conexiones entre bloques de lógica, CPLDs utilizan un rutado único de las conexiones internas y las FPGAs varios tipos de rutado segmentado.
- 15) El ciclo máquina se define como:
- A) Periodo de la señal de reloj, que es inverso a su frecuencia.
 - B) Es el tiempo que tarda el procesador en ejecutar una instrucción.
 - C) Un ciclo básico o transferencia de datos entre el BIT y el bus local del microprocesador.
 - D) Es el tiempo que tarda el procesador en realizar el ciclo FETCH.

Respuestas	16 :	17 :	18 :	19 :	20 :
------------	------	------	------	------	------

- 16) Las interrupciones enmascarables autovectorizadas son:
- A) Saltos en el flujo de instrucciones que no se pueden evitar.
 - B) Saltos en la ejecución del programa que se pueden enmascarar y se producen sobre una dirección de memoria fija.
 - C) El microprocesador salta a una dirección que extrae de una tabla de interrupciones localizada en la memoria.
 - D) Ninguno de los anteriores.
- 17) Para manejar la pila se emplea:
- A) El contador de programa y la instrucción PUSH.
 - B) Las instrucciones POP y PUSH y el registro SP.
 - C) El registro IX.
 - D) El direccionamiento basado y el registro IX.
- 18) En un bus de datos/direcciones multiplexado:
- A) El bus de direcciones y de datos tienen conexiones independientes.
 - B) El bus de datos y direcciones están presentes simultáneamente.
 - C) El bus de datos y direcciones comparten conexiones y existe una señal de control /ADS.
 - D) El bus de datos y control comparten conexiones.
- 19) Si necesito conectar un periférico de E/S que usa datos y direcciones a un bus de sistema, emplearé:
- A) Un buffer bidireccional para datos y otro para direcciones.
 - B) Un buffer bidireccional registrado para datos y otro sin registrar para direcciones.
 - C) Un buffer unidireccional para datos y otro para direcciones.
 - D) Un buffer unidireccional para direcciones y otro bidireccional para datos.
- 20) El registro de indicadores se emplea para:
- A) Conocer el estado del microprocesador, relacionado con la última operación realizada por la ULA.
 - B) Conocer la última instrucción ejecutada.
 - C) Saber si se ha producido una interrupción.
 - D) Ninguna de las anteriores.

Respuestas	21 :	22 :	23 :	24 :	25 :
------------	------	------	------	------	------

21) El registro del bus de direcciones (MDR) :

- A) Es registrado hacia dentro y transparente hacia fuera de la UCP, con líneas WR_MDR, /OE_MDR y DIR_MDR.
- B) Es registrado hacia fuera y transparente hacia dentro de la UCP, con líneas /OE_MDR y DIR_MDR.
- C) Es registrado hacia fuera y transparente hacia dentro de la UCP, con líneas WR_MDR y DIR_MDR.
- D) Es registrado hacia fuera y transparente hacia dentro de la UCP, con líneas WR_MDR y /OE_MDR y DIR_MDR.

22) La instrucción de carga MOV (2300H+IX), A tiene direccionamiento:

- A) Indexado.
- B) Inmediato.
- C) Basado.
- D) Directo.

23) La instrucción RET tendrá:

- A) 1 byte de código máquina y 3 ciclos máquina de ejecución.
- B) 3 bytes de código máquina y 1 ciclo máquina de ejecución.
- C) 1 byte de código máquina y 2 ciclos máquina de ejecución.
- D) Ninguno de los anteriores.

24) La instrucción XOR se puede emplear para:

- A) Poner a 1 un determinado bit de un byte.
- B) Poner a 0 un determinado bit de un byte; realizar la selección del valor de un determinado bit.
- C) Poner a 0 el valor de un registro; Detectar un cambio en el valor de un byte.
- D) Ninguno de los anteriores.

25) La interfaz de la UCP con el bus del sistema se emplea para:

- A) Amplificar las señales del microprocesador.
- B) Amplificar en corriente las señales, adaptar la lógica de algunas y en algunos sistemas para generar otras señales necesarias para el sistema.
- C) Para generar la señal de reloj y adaptar la salida del microprocesador al bus del sistema.
- D) Generar todas las señales del bus de control del sistema.

