

# SET DE INSTRUCCIONES PARA MC-8751

INSTRUCCIÓN	OPERACIÓN	Modo de Direccionado				ANCHO DIRECCION	No lee: PIN	Afecta a:			CM	
		DIR	IND	REG	INM			CY	OV	AC		
<b>INSTRUCCIONES PARA LA TRANSFERENCIA DE DATOS CON RAM INTERNA</b>						ARL48925631-P						
MOV A, <src>	A=<src>	X	X	X	X						1	
MOV <dest>, A	<dest>←A	X	X	X	X						1	
MOV <dest>, <src>	<dest>←<src>	X	X	X	X		X				2	
MOV DPTR, #D16	DPTR=16bits				X						2	
PUSH <src>	INC SP → MOV @SP, <src> (Almacenamiento en la pila)	X									2	
POP <dest>	MOV <dest>, @SP X → DEC SP	X									2	
XCH A, <byte>	A ↔ <byte> (se produce un intercambio de contenidos)	X	X	X							1	
XCHD A, @Ri	A ↔ @Ri (intercambia 4bits LSB de A con 4bits LSB que apunta Ri)	X									1	
<b>INSTRUCCIONES ARITMETICAS</b>						ARL48925631-P						
ADD A, <byte>	A=A+<byte>	X	X	X	X			X	X	X	1	
ADDC A, <byte>	A=A+<byte>+C (acumulador + byte indicado + acarreo)	X	X	X	X			X	X	X	1	
SUBB A, <byte>	A=A-<byte>	X	X	X	X			X	X	X	1	
INC A	A=A+1	Acc									1	
INC <byte>	<byte>←<byte>+1 (Incrementa el byte en 1)	X	X	X			X				1	
INC DPTR	DPTR←DPTR+1 (Incrementa el apuntador de datos)	DPTR									2	
DEC A	A=A-1	Acc									1	
DEC <byte>	<byte>←<byte>-1	X	X	X			X				1	
MUL AB	B:A=BxA (A=byte bajo, B=byte alto)	Acc,B						0	X		4	
DIV AB	A=cociente de [A/B] (acarreo y OV son limpiados)	Acc,B						0	X		4	
DA A	Ajuste decimal del acumulador por adición.	Acc						X			1	
<b>INSTRUCCIONES LÓGICAS</b>						ARL48925631-P						
ANL <dest>, <src>	Operación AND bit a bit. Guarda resultado en variable <dest>	X	X	X	X		X					
ORL <dest>, <src>	Operación OR entre las variables indicadas. Resultado en byte <dest>	X	X	X	X		X					
XRL <dest>, <src>	Operación OR-EX entre las variables indicadas.	X	X	X	X		X					
<b>INSTRUCCIONES BOOLEANAS</b>						ARL48925631-P						
ANL C, bit	C=C AND bit							X			2	
ANL C, /bit	C=C AND /bit							X			2	
ORL C, bit	C=C ORL bit							X			2	
ORL C, /bit	C=C ORL /bit							X			2	
MOV C, bit	C=bit							X			1	
MOV bit, C	bit=C										2	
CLR C	C=0 (Limpia el acumulador)							0			1	
CLR bit	bit=0 (Limpia el bit. Puede ser el bit C u otro directamente direccionable)						X				1	
SETB bit	bit=1						X				1	
SETB C	C=1							1			1	
CPL C	C=/C (complemento del acarreo)							X			1	
CPL bit	bit=/bit (Complemento del bit. Puede ser el bit C u otro direc. direccionab.)						X				1	
CPL A	Complementa los 8 bits del acumulador											
JC rel	Salto si C=1										2	
JNC rel	Salto si C=0										2	
JB bit, rel	Salto si bit=1										2	
JNB bit, rel	Salto si bit=0										2	
JBC bit, rel	Salto si bit=1 y clear bit						X				2	
<b>INSTRUCCIONES DE SALTO INCONDICIONAL</b>						ARL48925631-P						
JMP dir	Salto a dir										2	
SJMP dir	Salto -128 a +127 del PC corriente										2	
AJMP dir	Sustituye 11 bits LSB del PC (salto absoluto dentro de los 2K)										2	
LJMP dir	Salto a cualquier lugar de las 64K (dirección 16, salto largo)										2	
JMP @A+DPTR	Salto A+DPTR (salto indirecto)										2	
CALL dir	Llama a la subrutina "dirección".										2	
LCALL dir	Llamada a subrutina a cualquier lugar de memoria de programa de 16 bits.										2	
ACALL dir	Usa formato 11 bits. Llama a subrutina presente en el corriente bloque de 2K										2	
RET	Extrae de la pila los bytes bajo-alto del PC, Dec dos veces el apuntador de apilamiento										2	
RETI	Retorno de interrupción.										2	
NOP	La ejecución continua con la instrucción siguiente. No afecta al PC.										1	
<b>INSTRUCCIONES DE SALTO CONDICIONAL</b>						ARL48925631-P						
JZ rel	Salto si A=0	Acc									2	
JNZ rel	Salto si A≠0	Acc									2	
DJNZ <byte>, rel	Decrementa y salta si no es 0	X		X			X				2	
CJNE A, <byte>, rel	Salta si A≠<byte>	X			X			X			2	
CJNE <byte>, #D, rel	Salta si <byte>≠#D		X	X				X			2	
<b>ACCESO A MEMORIA DE DATOS Y PROGRAMA EXTERNA. RAM EXTERNA</b>						ARL48925631-P						
MOVX A, @Ri	A ← @Ri ext					8 bits					2	
MOVX @Ri, A	@Ri ← A					8 bits					2	
MOVX A, @DPTR	A ← @DPTR					16bits					2	
MOVX @DPTR, A	@DPTR ← A					16bits					2	
<b>ACCESO A MEMORIA DE DATOS Y PROGRAMA EXTERNA. EPROM EXTERNA</b>						ARL48925631-P						
MOVC A, @A+DPTR	Lee memoria de programa @A+DPTR)										2	
MOVC A, @A+PC	Lee memoria de programa @A+PC)										2	
<b>INSTRUCCIONES DE ROTACION</b>						ARL48925631-P						
RL A	Los 8 bits de A son rotados 1bit a la izquierda. El bit7 pasa al bit0.										1	
RLC A	Los 8 bits de A y el acarreo son rotados 1bit a la izq. El bit7 pasa al acarreo.							X			1	
RR A	Los 8 bits de A son rotados 1bit a la derecha. El bit0 pasa al bit7.										1	
RRC A	Los 8 bits de A y el acarreo son rotados 1bit a la der. El bit0 pasa al acarreo.							X			1	
SWAP A	Intercambia los 4 bits altos con los 4 bits bajos de A. (Sin acarreo.)										1	
INSTRUCCIÓN	OPERACIÓN	DIR	IND	REG	INM	ANCHO DIRECCION	No lee: PIN	Afecta a:			CM	
		Modo de Direccionado										

MAPA DE MEMORIA RAM INTERNA (128 BYTES)									
128 BYTES ALTOS									
F8									FF
F0	B								F7
E8									EF
E0	ACC								E7
D8									DF
D0	PSW								D7
C8									CF
C0									C7
B8	IP								BF
B0	P3								B7
A8	IE								AF
A0	P2								A7
98	SCON	SBUF							9F
90	P1								97
88	TCON	TMOD	TL0	TL1	TH0	TH1			8F
80	P0	SP	DPL	DPH				PCON	87
128 BYTES BAJOS									
78									7F
70									77
68									6F
60									67
58									5F
50									57
48									4F
40									47
38									3F
30									37
28									2F
20									27
18									1F
10									17
08									0F
00									07

MAPA DE MEMORIA DE PROGRAMA INTERNA (4K BYTES)									
0000H	RESET								
0003H	IE0	(Interrupción 0 externa-----8 bytes)							
000BH	TF0	(Interrupción del Timer 0---8 bytes)							
0013H	IE1	(Interrupción 1 externa-----8 bytes)							
001BH	TF1	(Interrupción del Timer 1---8 bytes)							
0023H	R1 y T1	(Interrupción serial-----no limit)							
002BH		CONTINUACIÓN DE LA MEMORIA DE PROGRAMA							
0FFFH		FIN DE LA MEMORIA DE PROGRAMA INTERNA							

REGISTROS PRINCIPALES (SFR)									
Registr	7	6	5	4	3	2	1	0	
PSW	CY	AC	F0	RS1	RS0	OV	-	P	
	Banderas: CY Carry, AC Carry auxiliar. F0 bandera 0 para usos generales. RS1/0 bits 1 y 0 selectores del banco de registros. OV overflow, P paridad del acumulador.								
PCON	Smod	-	-	-	GF1	GF0	PD	IDL	
	Smod dobla el Baud Rate cuando se utiliza el Timer para generarlo. GF1/0 para propósitos generales. PD e IDL bajo consumo de energía. (para el 80C51BH CMOS)								
IE	EA	-	ET2	ES	ET1	EX1	ET0	EX0	
	EA=0 desactiva todas las interrupciones. ET2=1 activa interrupción causada por el Timer2 (solo para 8052) ES activa la interrupción causada por el puerto serial. ET1 activa la interrupción de sobreflujo causada por el Timer1. EX1 activa la interrupción causada externamente en INT1. ET0 activa la interrupción de sobreflujo causada por el Timer0. EX0 activa la interrupción causada externamente en INT0.								
IP	-	-	PT2	PS	PT1	PX1	PT0	PX0	
	PT2=1 mayor prioridad del Timer 2 (PT2=1) (solo para el 8052) PS nivel de prioridad de la interrupción del puerto serial. PT1 nivel de prioridad de la interrupción del Timer 1. PX1 nivel de prioridad de la interrupción externa 1. PT0 nivel de prioridad de la interrupción del Timer 0. PX0 nivel de prioridad de la interrupción externa 0.								
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
	TF1 bandera de sobreflujo del registro del Timer 1. TR1 bit de control de activación del Timer 1. TF0 bandera de sobreflujo del registro del Timer 0. TR0 bit de control de activación del Timer 0. IE1 bandera de transición de la interrupción externa 1. IT1 bit de control del Interrup 1. (Por nivel '0' o por flanco '1') IE0 bandera de transición de la interrupción externa 0. IT0 bit de control del Interrup 0. (Por nivel '0' o por flanco '1')								
TMOD	Gate	C/T	M1	M0	Gate	C/T	M1	M0	
	Gate=1 y TRX activado → Timer/CounterRX correrá si INTX=alto C/T selector de Timer o Contador. M1/0 bits seleccionadores del modo. (Bits 0...3 para Timer0 y bits 3...7 para Timer1)								
SCON	SM0	SM1	SM2	REN	TB8	RB8	T1	R1	
	SM0/1 especifica modo de control del puerto serie. SM2 habilita la comunicación del tipo "multiprocesador". REN establece la recepción serie. TB8 almacena el 9º bit que será transmitido en los modos 2 y 3. RB8 es el 9º bit que fue recibido en los modos 2 y 3. T1 bandera de interrupción de la transmisión. R1 bandera de interrupción de la recepción.								

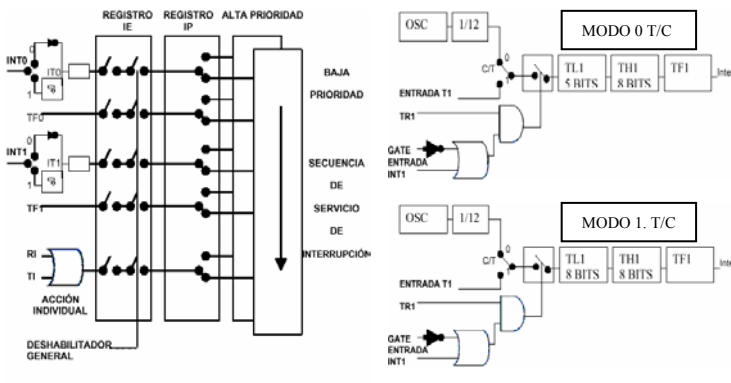


Fig. 2.4 Sistema de control de interrupciones

P1.0	1	40	Vcc
P1.1	2	39	P0.0
P1.2	3	38	P0.1
P1.3	4	37	P0.2
P1.4	5	36	P0.3
P1.5	6	35	P0.4
P1.6	7	34	P0.5
P1.7	8	33	P0.6
RST	9	32	P0.7
P3.0/RxD	10	8051	Vpp/EA
P3.1/TxD	11	8031	PROG/ALE
P3.2/INT0	12	29	PSEN
P3.3/INT1	13	28	P2.7
P3.4/T0	14	27	P2.6
P3.6/T1	15	26	P2.5
P3.6/WR	16	25	P2.4
P3.7/RD	17	24	P2.3
XTAL2	18	23	P2.2
XTAL1	19	22	P2.1
Vss	20	21	P2.0

MODOS DE OPERACIÓN DEL PUERTO SERIE					
SM0	SM1	MOD0	ESPECIFICACIÓN	BAUD RATE	
0	0	0	Registro de corrimiento	Frecuencia de Osc./12	
0	1	1	UART 8 bits	Variable	
1	0	2	UART 9 bits	F. Osc./32.6/64	
1	1	3	UART 9 bits	Variable	

BAUDS MAS COMUNMENTE USADOS					
BAUD RATE	F. Osc.	SMOD	TIMER 1		
			C/T	MOD0	Valor de TH1
Modo 0: 1 MHz	12 MHz	X	X	X	X
Modo 2: 375 K	12 MHz	1	X	X	X
Modo 1,3: 62.5K	12 MHz	1	0	2	FFH
19.2 K	11.059 MHz	1	0	2	FDH
9.6 K	11.059 MHz	0	0	2	FDH
4.8 K	11.059 MHz	0	0	2	FAH
2.4 K	11.059 MHz	0	0	2	F4H
1.2 K	11.059 MHz	0	0	2	E8H
137.7 Hz	11.059 MHz	0	0	2	1DH
110.0 Hz	6 MHz	0	0	2	72H
110.0 Hz	12 MHz	0	0	1	FE8H

**VALOR DE LOS REGISTROS DESPUÉS DEL RESET**  
 ACC=00H---B=00H---PSW=00H---SP=07H---DPTR=0000H---  
 P0=P1=P2=P3=FFH---IP=XX000000B---IE=XX000000B---TMOD=00H---  
 TCON=00H---TL1=TH1=00H--- TL0=TH0=00H---SCON=00H---  
 SBUF=Indeterminado

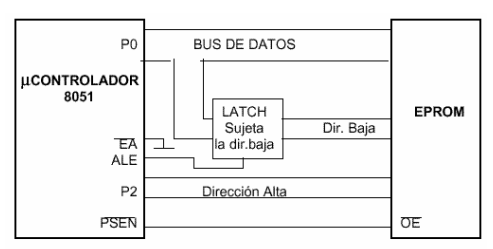


Fig. 1.3 Conexión de una memoria externa