

# Técnicas de medidas de circuitos asíncronos en FPGA

Manuel Sánchez

Dept. de Ing. Electrónica, Sistemas Electrónicos y Automática. Universidad de Huelva. Campus La Rábida 21007 Huelva  
[msraya@diesia.uhu.es](mailto:msraya@diesia.uhu.es)

Raúl Jiménez

Dept. de Ing. Electrónica, Sistemas Electrónicos y Automática. Universidad de Huelva. Campus La Rábida 21007 Huelva  
[naharro@diesia.uhu.es](mailto:naharro@diesia.uhu.es)

## Resumen

En este trabajo se presentan técnicas de caracterización empíricas de circuitos digitales. Aunque principalmente el interés se centra en los circuitos autotemporizados, estas técnicas también son aplicables a los circuitos síncronos.

Se propone una metodología para la realización de las medidas. La novedad que aporta esta metodología es la posibilidad de extraer parámetros dinámicos del funcionamiento del circuito implementado en FPGA.

Los módulos que implementan dichas técnicas han sido integrados en una placa prototipo con la intención de automatizar la extracción de parámetros en la mayor medida de lo posible. Esta placa se ha utilizado en la caracterización de circuitos aritméticos.

## 1. Motivación

Las ventajas de los circuitos asíncronos se pueden cuantificar por medio de una serie de parámetros como la latencia, la tasa de procesamiento de datos, consumo de potencia y ruido.

Aunque las FPGA se han orientado tradicionalmente a circuitos síncronos, se ha percibido un incremento de aplicación de técnicas asíncronas a FPGA recientemente [1, 13]. Sin embargo, las técnicas de caracterización empírica no se han desarrollado totalmente y sería deseable medir los parámetros principales del circuito. Estas técnicas se emplearán para complementar los resultados de simulación.

De esta forma, este trabajo está orientado a alcanzar dos objetivos. El primer objetivo es el

desarrollo de un marco de trabajo para realizar las medidas empíricas de forma lo más automatizada posible. El segundo objetivo consiste en desarrollar técnicas para la implementación de circuitos asíncronos en dispositivos FPGA convencionales.

La contribución se divide en los siguientes apartados. Primero, se revisan los parámetros y sus técnicas de medida incluidos en el marco de estudio. A continuación, se efectúa una breve reseña del sistema autónomo de medida, con bloques adicionales para la automatización de los parámetros de medida. Después, se muestran los resultados que se han obtenido. Finalmente, exponemos las conclusiones obtenidas en este estudio.

## 2. Parámetros medidos

En el sistema de medida deben coexistir los elementos necesarios para realizar la medida de los parámetros principales. Los parámetros considerados son el consumo de potencia, el ruido, la latencia y la tasa de procesamiento de datos.

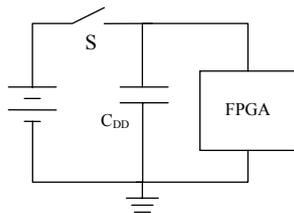
### 2.1. Consumo de Potencia

Centrándonos en los dispositivos FPGA, algunos de los parámetros con mayor influencia en el consumo de potencia se encuentran fijados por el dispositivo, como la tensión de alimentación; mientras que otros parámetros como la actividad de conmutación, generarán diferentes consumos en los elementos internos del dispositivo (canales de rutado, bloques lógicos y bloques de E/S) [2].

Las medidas de consumo de potencia encontradas en la literatura se han limitado principalmente a estudios estadísticos [3] o resultados de simulación. Una de las herramientas CAD específicas orientada al análisis de potencia es el paquete PowerMill de Cadence [8], siendo su empleo limitado. Se han realizado modelos de sistemas de distribución de potencia para circuitos CMOS [10] que se pueden emplear para asegurar una correcta estabilidad de la fuente de alimentación. En este caso los planos de masa y alimentación aportados por las placas de circuito impreso multicapa se hacen imprescindibles para trabajar con las señales de alta velocidad que genera la FPGA.

Algunos autores han medido el consumo de potencia de forma directa o indirecta [9]. La forma empleada depende de la manera en la que el equipo de medida afecta a la propia medida.

Hay técnicas que consisten en obtener la forma de onda de  $V_{DD}(t)$  mediante dispositivos conectados entre la FPGA y la fuente de alimentación ya que el consumo de corriente puede medirse a través de la caída de tensión. Pero, el principal problema de esta solución es que debemos evitar que el voltaje de alimentación baje más del 10% del valor nominal para asegurarnos el correcto funcionamiento del dispositivo. Este parámetro viene aconsejado por el fabricante de la FPGA y puede ser variable.



$$E = \frac{1}{2} \cdot C_{DD} \cdot V_{DD}^2 - \frac{1}{2} \cdot C_{DD} \cdot (V_{DD} - \Delta V)^2$$

$$E = E0 \cdot \left[ 2 \cdot \frac{\Delta V}{V_{DD}} - \left( \frac{\Delta V}{V_{DD}} \right)^2 \right]$$

$$E0 = \frac{1}{2} \cdot C_{DD} \cdot V_{DD}^2$$

Figura 1. Medida del consumo de potencia

El método empleado en este trabajo se basa en la solución anterior y consiste en desconectar temporalmente la alimentación. Se produce una caída de tensión de alimentación que está relacionada con el consumo de potencia. La desconexión se realiza mediante un conmutador controlado, como muestra la figura 1. Así, el consumo de potencia es  $P=E/\Delta T$ , donde  $\Delta T$  es el tiempo que la FPGA se desconecta de la fuente de alimentación

Este método de medida presenta como ventaja la viabilidad de medir la energía consumida por el circuito en un único cambio de las entradas y el fácil proceso matemático de la información. Sin embargo, la desventaja principal es el posible problema derivado de la sensibilidad de la medida a interferencias electromagnéticas, el peligro de actuación de diodos parásitos de protección de las entradas al disminuir demasiado el voltaje de alimentación y la necesidad de una calibración del condensador  $C_{DD}$  para la toma de medidas absolutas.

## 2.2. Ruido

La mayor parte del ruido perjudicial generado por un circuito digital se debe a la influencia de las transiciones de las señales provocadas en las líneas de alimentación y masa [10, 11]. La transmisión de estas perturbaciones a las líneas de un circuito a nivel de placa tiene lugar por las inductancias parásitas existentes en el circuito.

El método de medida del ruido transmitido a las líneas de alimentación consiste en tomar una muestra de la señal de alimentación y amplificar el pico de voltaje debido a la inductancia parásita. A continuación un circuito amplificador y detector logarítmico genera una señal que puede adquirirse por el sistema autónomo de medida de parámetros. Esta señal se encuentra ya en decibelios. El diagrama de esta unidad se muestra en la figura 2.

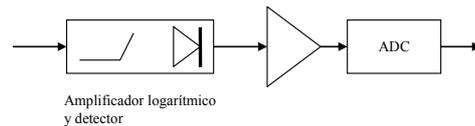


Figura 2. Unidad de medida de Ruido

### 2.3. Tasa de proceso de datos

La tasa de proceso de datos, “*throughput*”, se puede definir como la razón inversa del tiempo necesario para introducir nuevos datos en un circuito. Esta medida dependerá del grado de ocupación del cauce del circuito autotemporizado. Para obtener la tasa de proceso de datos se va a utilizar una configuración que maximice la velocidad de operación de tal forma que se garantice la máxima ocupación del sistema.

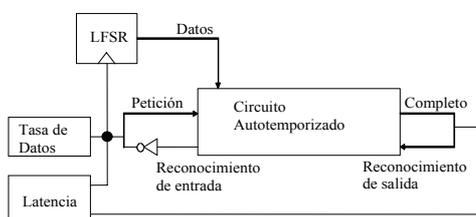


Figura 3. Banco de pruebas para medir los parámetros temporales.

Considerando las señales de protocolo, la condición de máxima velocidad y ocupación consiste en realimentar las señales de reconocimiento y petición (se introduce un dato tan pronto como sea posible) y de acabado (se saca un dato tan rápido como sea posible).

Este proceso debe ser inicializado de forma correcta ya que según este esquema no se produce ninguna petición inicial. La primera petición será externa, mientras que el resto serán realizadas a través de la realimentación.

El bloque de medidas debe determinar el tiempo transcurrido entre ambas transiciones. Sin embargo, con este esquema de velocidad máxima, este tiempo es el mismo que el tiempo en el que la señal de petición pasa a nivel alto, como muestra la figura 4.

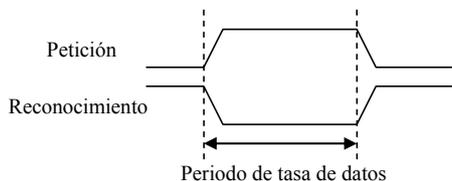


Figura 4. Medida de tiempo de tasa de datos

El flanco de subida de la señal de reconocimiento de entrada es el mismo que el flanco de bajada de la señal de petición.

En el caso de un circuito síncrono, la tasa de procesamiento es la inversa del periodo mínimo de la señal de reloj, esto es, el retraso del bloque digital más lento del cauce.

### 2.4. Latencia

La latencia se puede definir como el tiempo necesario para realizar una operación, es decir, el tiempo transcurrido entre una transición de subida de la señal de petición y la señal de acabado.

De la misma forma que ocurría con la tasa de datos, este tiempo depende del grado de ocupación del cauce, y por tanto, se puede emplear el mismo banco de pruebas que se empleó para medir la tasa de datos. Para emplear la misma técnica de medida anteriormente empleada, se debe generar una nueva señal de medida. Esta señal tendrá un nivel constante durante el tiempo de latencia, como muestra la figura 5.

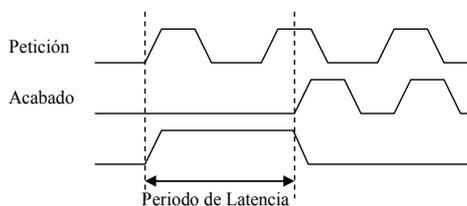


Figura 5. Medida de tiempo de latencia

En el caso de un circuito síncrono, la latencia es el producto de la tasa de datos y el número de etapas del cauce.

## 3. Prototipo para obtención de medidas

Con el fin de automatizar la obtención de las medidas anteriores en la mayor medida posible, se ha diseñado e implementado una placa prototipo basada en FPGA. En la Figura 6 se muestra un diagrama de bloques del prototipo diseñado.

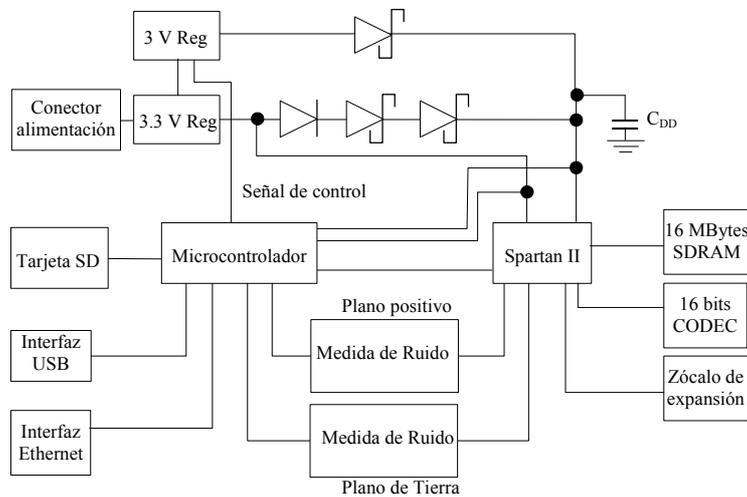


Figura 6. Diagrama de Bloques del prototipo.

Los bloques existentes en el prototipo, además del microcontrolador y FPGA pueden ser agrupados en tres grandes categorías: bloques de apoyo (SDRAM, CODEC y zócalo de expansión), los cuales serán utilizados cuando el sistema sometido a test lo requiera según la aplicación; bloques de comunicación (SD, USB y Ethernet) que serán utilizados para la comunicación con el host, aunque eventualmente también pueda hacer uso de ellos el sistema implementado en la FPGA; y los bloques de medida.

Los bloques de medida son los correspondientes a las medidas de potencia y de ruido; mientras que la obtención de las medidas temporales es realizada en el interior de la FPGA (figura 3) y el valor temporal es obtenido en el microcontrolador.

La fuente de alimentación está diseñada mediante el empleo de dos reguladores de tensión y aprovechando la caída de tensión que se produce en los diodos. El primero alimenta a todo el circuito, incluido las patillas de entrada/salida de la FPGA y proporciona el nivel inferior de voltaje de alimentación al núcleo de la FPGA.

El regulador adicional proporciona el nivel de tensión superior (2.75V) dentro del margen aconsejado por el fabricante. Cuando se desconecta la alimentación la tensión cae desde 2.75V a 2.25V aproximadamente.

Aunque las tensiones que caen en los diodos dependen del consumo de corriente y de la temperatura, esta dependencia no influye en el resultado final de la medida. La precisión de la medida depende principalmente de la precisión en determinar la capacidad  $C_{DD}$  del condensador asociado a la alimentación.

La principal ventaja de esta técnica de medida respecto a una medida empleando una sonda de corriente es que se pueden realizar medidas más precisas para intervalos cortos de tiempo, como por ejemplo la ejecución de una determinada operación por el circuito implementado en la FPGA. Si empleáramos una sonda de corriente el periodo de integración del circuito de medida falsearía la lectura.

#### 4. Resultados

Se han implementado varios circuitos digitales en el prototipo para demostrar el funcionamiento de las unidades de medida.

Los circuitos considerados pertenecen a la categoría de circuitos síncronos y asíncronos con diferentes niveles de complejidad. El circuito testeado es un multiplicador en sus versiones síncrona y asíncrona.

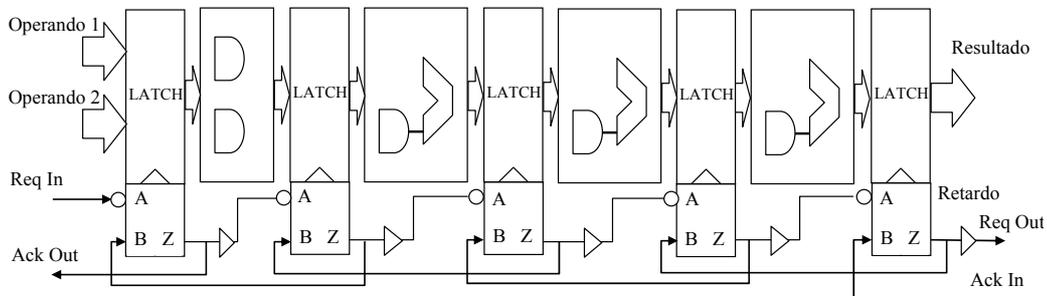


Figura 7. Diagrama del multiplicador asíncrono.

La versión síncrona del multiplicador consiste en una arquitectura de 4 bits con cinco etapas de pipeline, correspondientes a los primeros productos y a las cuatro sumas parciales.

La versión asíncrona del multiplicador tiene las mismas características que la síncrona, basándose en la arquitectura de “micropipeline” [7]. Esta arquitectura consiste básicamente en sustituir los registros de las etapas de pipeline por registros de captura y paso [12], que implementan el protocolo de comunicaciones. El esquema a nivel de bloques se muestra en la figura 7.

Para mostrar el comportamiento de la unidad de medida de consumo, se muestra la forma de onda de voltaje de medida junto a la línea de activación en la figura 8. En ella podemos distinguir dos zonas de funcionamiento. Cuando la señal de control está a nivel bajo, la FPGA se conecta a la línea de alimentación, es decir, la zona normal de funcionamiento. Cuando la señal de control se encuentra a nivel alto, el interruptor corta la alimentación, y la corriente de alimentación se obtiene ahora de la energía almacenada en la capacidad.

El voltaje disminuye con la descarga de esta capacidad. Para evitar una funcionalidad errónea en la FPGA, se dispone de una fuente de alimentación adicional que entra en funcionamiento cuando el voltaje decrece por debajo del margen admisible mediante la conducción de diodos como se observa en la figura 6.

En el caso de la figura 8, tenemos un consumo de potencia de aproximadamente 10 mW, con un  $C_{DD}$ ,  $\Delta V$  y un  $\Delta T$  de 0,8  $\mu F$ , 450 mV y 118  $\mu s$  respectivamente.

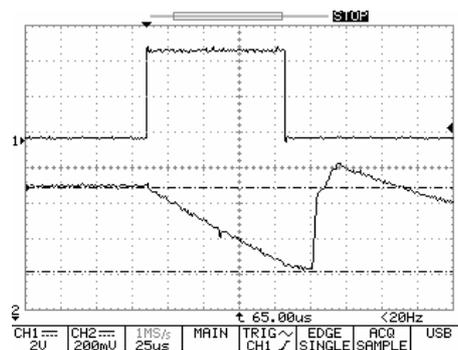


Figura 8. Forma de onda de la señal en la unidad de medida de consumo.

Los resultados obtenidos en la implementación del banco de pruebas se muestran en la tabla 1.

| Circuito                | Nº LUT | Líneas rutadas en FPGA | Ruido (mV.) | Consumo (mW.) |
|-------------------------|--------|------------------------|-------------|---------------|
| Multiplicador síncrono  | 41     | 205                    | 25.6        | 38            |
| Multiplicador asíncrono | 66     | 289                    | 34.4        | 87            |

Tabla 1. Resultados del banco de pruebas.

Es interesante observar el incremento en recursos hardware de la versión asíncrona del multiplicador. Este aumento es debido a la implementación del protocolo de comunicación, lo cual provoca el incremento en consumo de potencia.

En cuanto al ruido de conmutación, podemos observar un incremento en la versión asíncrona. No obstante, este incremento no es del mismo orden que en el consumo, sino menor, debido a la desincronización de las señales por el protocolo de comunicaciones.

## 5. Conclusiones

Con este trabajo se ha concluido una primera fase, la aplicación de un marco para automatizar la caracterización de circuitos digitales basados en FPGA. Se ha obtenido la automatización de la caracterización del consumo de potencia y ruido. En el caso de los parámetros temporales, la automatización implica llevar a cabo circuitos digitales adicionales para hacer funcionar el circuito a máxima velocidad.

La metodología de medida ha sido testeada con la ayuda de un prototipo mediante varios circuitos como banco de pruebas. En estos circuitos, se han tenido en cuenta versiones síncronas y asíncronas del circuito. En las pruebas realizadas, la versión síncrona muestra un mejor comportamiento que la versión asíncrona.

A partir del prototipo empleado se va a desarrollar otro prototipo que disponga de mayores recursos de lógica y capacidad de almacenamiento y se van a evaluar circuitos más complejos, como procesadores. Para esta última evaluación se pretende evaluar las versiones síncronas y asíncronas del procesador DLX desarrollado bajo el Proyecto Europeo ASPIDA [6].

## AGRADECIMIENTOS

Este proyecto ha sido financiado en parte por el proyecto UHU 2004-06 del I Plan propio de Investigación de la Universidad de Huelva.

## Referencias

- [1] A.H. Jackson, AM Tyrrell, "Asynchronous Embryonics", Proceedings of 3rd NASA/DoD Workshop on Evolvable Hardware, 2001.
- [2] E. Kusse, J. Rabaey, "Low-Energy Embedded FPGA Structures", Proceedings of ISLEPD 98.
- [3] E. Todorovich, M. Gilabert, G. Sutter, S. Lopez-Buedo, and E. Boemo, "A Tool for Activity Estimation in FPGAs", Proc of the 12th Field Programmable Logic and Application Conference (FPL 2002), Montpellier - France. September, 2002.
- [4] F. N. Najm, S. Goel, and I. N. Hajj, "Power estimation in sequential circuits," ACM/IEEE Design Automation Conference, pp. 635-640, 1995.
- [5] H. Belhadj, B. Zahiri, A. Tai, "Power-sensitive design techniques on FPGA devices", Proceedings of the International IC Conference China 2001.
- [6] I. Blunno, J. Cortadella, A. Kondratyev, L. Lavagno, K. Lwin, C. Sotiriou. "Handshake protocols for de-synchronization", Proceedings of the ASYNC 2004 Conference.
- [7] I.E. Sutherland, "Micropipelines", Communications of the ACM, vol. 32, no. 6, June 1989, pp. 720-738.
- [8] J. McCardle, D. Chester, "Measuring an asynchronous processor's power and noise", Synopsys User Group Conference (SNUG), Boston, 2001.
- [9] J. Rius, A. Peidro, S. Manich, R. Rodriguez, "Power and Energy Consumption of CMOS Circuits: Measurement Methods and Experimental Results", Proceedings of the DCIS 2003 Conference.
- [10] L. Smith, R. Anderson, D. Forehand, T. Pelc, T. Roy, "Power Distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology", IEEE Transaction on Advanced Packaging, august, 1999 pp284-291.
- [11] L. Smith, "Simultaneous Switch Noise and Power Plane Bounce for CMOS Technology", IEEE electrical Performance of Electrical Packaging (EPEP) Conference, San Diego, CA Oct 17-25, 1999.
- [12] M. Gamble, B. Rahardjo, R.D. McLeod, "Reconfigurable FPGA Micropipelines", U. of Manitoba, 1994.
- [13] QT Ho, JB Rigaud, L. Fesquet, M Renaudin, R Rolland, "Implementing Asynchronous Circuits on LUT Based FPGAs", Proceedings of FPL, 2002.