

Placa Prototipo FPGA para aplicaciones de procesamiento de señal

Manuel Sánchez Raya, Raúl Jiménez Naharro, Francisco Jesús de Toro Negro

Departamento de Ing. Electrónica, Sistemas Informáticos y Automática, Universidad de Huelva.

Carretera Huelva-Palos de la Frontera, CP: 21700, Palos de la Frontera – Huelva. Tel: 959 017362-68-91. Fax: 959 017304

e-mail: msraya@diesia.uhu.es

Resumen

Las FPGAs se han demostrado eficaces para el desarrollo de prototipos que pongan en práctica nuevos diseños o algoritmos. Sin embargo las placas de prototipo actuales tienen varios problemas que dificultan la medición de parámetros importantes para la prueba y la puesta a punto de tales diseños. Por esta razón se ha llevado a cabo el diseño y la implementación de una nueva placa prototipo que conlleva una serie de diferencias con respecto a las ya existentes con el fin conseguir tres objetivos: poder implementar algoritmos realizados tradicionalmente con DSP, el empleo de interfaces de testeo serie (JTAG) y la realización de mediciones automáticas de parámetros del diseño digital implementado en la FPGA.

1. Introducción

Los sistemas comerciales empleados actualmente para el desarrollo de prototipos basados en FPGA se pueden encuadrar en dos tipos principales: sistemas didácticos y sistemas de gran tamaño. En la figura 1 se observa la arquitectura general de estos sistemas [1].

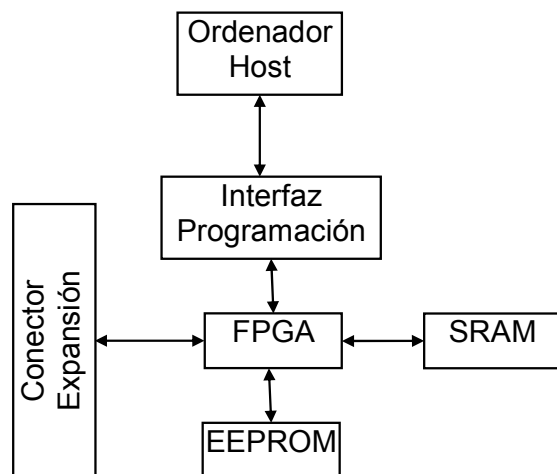


Fig. 1. Arquitectura de placas prototipo de desarrollo basadas en FPGA

Los primeros sistemas se emplean principalmente para el desarrollo de pequeños circuitos digitales con el fin de evaluar su funcionamiento de una forma sencilla, principalmente aplicados a la enseñanza. Estos sistemas se caracterizan por no disponer de memoria SRAM o tenerla

de pequeño tamaño y de realizar la programación a través del sistema Host [2], así como de disponer de una FPGA de baja densidad. Además, los sistemas pequeños no disponen de interfaces completos de testeo (JTAG), o carecen de dispositivos periféricos de adquisición de señal. La programación de estos sistemas se realiza a través de un computador Host, por lo que su uso autónomo en la mayoría de los casos es limitado.

Por el contrario, los sistemas empleados en investigación disponen de gran cantidad de recursos de memoria y en la mayoría de los casos de dos o más FPGAs de gran densidad [3].

Por otro lado y desde un punto de vista práctico, una vez realizada la implementación de un circuito en una FPGA se hace necesario la medición de ciertos parámetros importantes que nos ofrecen valores de mérito de nuestro diseño. Entre estos parámetros se encuentran la latencia del circuito (ns), el throughput (MB/s), el consumo (W) y el ruido generado(A). En cualquier caso, la medida de ciertos parámetros de mérito del diseño se ve dificultada por la imposibilidad de variar la frecuencia de la señal de reloj, o por la inexistencia de puntos de medida de consumo de potencia o de señales de alta velocidad [4].

Los experimentos prácticos llevados a cabo han conducido a la conclusión de que las placas actuales no disponen de tomas de conexión para terminales de prueba adecuados, introduciéndose gran cantidad de ruido de modo común en las mediciones. Esto es debido a que el ruido de conmutación de alta frecuencia generado en el sistema se introduce en el circuito de medida a través de las conexiones y puntos de prueba, al presentar estas conexiones un circuito resonante cuya influencia será mayor cuando la frecuencia de los picos sea cada vez más próxima a la alta frecuencia de resonancia.

Para evitar este problema, en el prototipo se ha dispuesto de dos planos de masa junto con conexiones de baja inductancia parásita para poder realizar, entre otras, mediciones del ruido generado.

Estos problemas nos han llevado a plantear una serie de objetivos que nos lleven a realizar una placa de prototipo que se ajuste a nuestras necesidades. Estos objetivos son: poder implementar algoritmos realizados tradicionalmente

con DSP, el empleo de interfaces de testeo serie (JTAG) y la realización de mediciones automáticas de parámetros del diseño digital implementado en la FPGA [5].

Tradicionalmente las FPGAs han sido orientadas al campo síncrono. Los circuitos asíncronos están aumentando en interés por las potenciales ventajas de las que gozan frente a los síncronos. Este creciente auge ha llevado a algunos investigadores a implementar estos sistemas asíncronos en FPGAs, con fines de construcción de prototipos y no de producto final [6]. La medición de los parámetros de funcionamiento de estos sistemas resulta especialmente complicada, debido a que la metodología de prueba resulta ligeramente diferente de la habitual empleada en circuitos síncronos [7].

El artículo se divide en los siguientes apartados. En primer lugar se va a describir la estructura y principales especificaciones del sistema hardware guiado por las motivaciones anteriormente aludidas. En el apartado 3 se comenta los objetivos planteados al realizar el software de programación y testeo. En la sección de aplicaciones y resultados se ofrece una comparativa de diversos circuitos digitales síncronos y asíncronos y los resultados obtenidos. Finalizamos por último con unas conclusiones.

2. Diseño del sistema

Para obviar los problemas discutidos y disponer de un conjunto de recursos adicionales junto a la FPGA, se ha dispuesto una estructura como la de la figura 2.

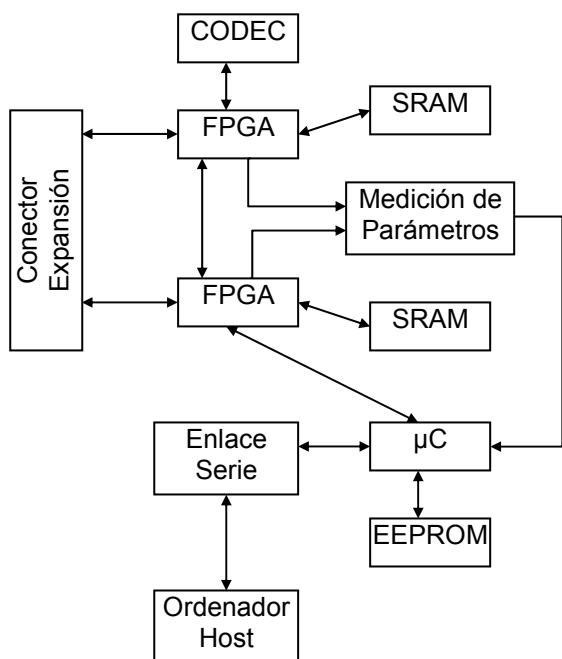


Fig. 2. Estructura del sistema de procesamiento

En el prototipo hemos incluido los siguientes componentes: memoria SRAM, CODEC, FPGAs, un microcontrolador, circuitos para la adaptación de niveles lógicos, generadores de reloj y varios elementos destinados a realizar mediciones de parámetros de funcionamiento. A continuación se pasa a

comentar los motivos que nos han llevado a la inclusión de cada componente, así como sus especificaciones básicas.

Las FPGAs instaladas, XC4010XL-PC84 disponen de 950 macroceldas con 10.000 puertas lógicas equivalentes [8]. Disponen de 60 patillas de E/S que se encuentran conectadas a una memoria SRAM diferente para cada FPGA y entre sí las dos FPGA, principalmente.

La memoria SRAM de alta velocidad se puede emplear para guardar tablas, para almacenaje intermedio de coeficientes o de cache de datos/instrucciones.

Las FPGAs disponen de interfaz JTAG para la programación y el testeo en el sistema. Un oscilador programable en placa proporciona una base de tiempo. El generador es programable y puede generar una señal de reloj comprendida entre 200KHz y 100MHz con el fin de realizar el testeo a diversas frecuencias de funcionamiento.

La placa incluye también un microcontrolador RISC [9] que es el encargado de programar la FPGA y de realizar tareas de control. El microcontrolador se encuentra conectado a varias memorias EEPROM que almacenan de forma comprimida el bitstream de configuración de las FPGAs y memorias SRAM. El microcontrolador puede monitorizar el estado de la FPGA para realizar medidas de rendimiento, programar la SRAM o introducir vectores de test en la FPGA a través de la interfaz JTAG.

Por último, el CODEC de audio incluido con dos canales de entrada y dos de salida simultáneos habilita la placa para prueba de sistemas de procesamiento de señal de audio.

3. Software de Programación y Testeo

Para las tareas que va a realizar el sistema, se hace necesario el desarrollo de dos programas bien diferenciados. Por un lado un software de aplicación que se ejecuta en el entorno de desarrollo y por otro el software de soporte del prototipo que se ejecuta en el microcontrolador del prototipo.

La finalidad de los programas de aplicación es la de realizar la programación del dispositivo, la programación de los recursos de la placa si es necesario y el testeo automatizado de los parámetros más importantes de rendimiento.

El empleo de un microcontrolador en el prototipo permite realizar la programación del dispositivo, manteniendo su autonomía de funcionamiento independiente del sistema de desarrollo.

3.1. Software de aplicación

El software de aplicación en el sistema Host permite la programación del dispositivo y de la SRAM a través de la interfaz serie, la carga de vectores de test para el circuito digital realizado y su evaluación, y la visualización de parámetros dinámicos de rendimiento del circuito: consumo de potencia, ruido generado en la líneas de alimentación, máxima velocidad de funcionamiento, latencia y throughput.

Los datos de las medidas una vez generados por el propio sistema, es decir, el microcontrolador de la placa prototipo, son enviados por el puerto serie de conexión al sistema Host. El sistema Host recopila los datos y los muestra en pantalla de forma gráfica.

La figura 3 muestra la arquitectura del software de aplicación.

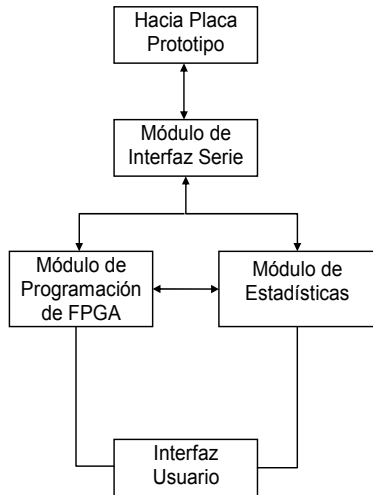


Fig. 3. Arquitectura del software de aplicación en el sistema de desarrollo

3.2. Software de sistema

La finalidad del software de la placa prototipo ejecutado por el microcontrolador RISC, es la de comunicarse con el sistema de desarrollo a través de la interfaz serie, de realizar la compresión y almacenaje de la programación en la memoria no volátil disponible en la placa, así como la programación del dispositivo y testeo a través del interfaz JTAG y la obtención de parámetros de rendimiento del circuito una vez este se encuentra funcionando en su margen dinámico estándar.

El microcontrolador realiza la lectura de parámetros analógicos mediante cualquiera de sus entradas de conversión analógico a digital de 10 bits de precisión. Estas medidas se transmiten por el interfaz serie hacia el sistema Host.

El microcontrolador también tiene la misión de realizar la programación de las FPGAs a partir del bitstream transmitido desde el ordenador Host por el interfaz serie y almacenado en forma comprimida en varias memorias EEPROM no volátiles.

El microcontrolador también puede emplearse para simular problemas de codiseño. En ese caso, generalmente, el microcontrolador ejecuta un programa que manda unos datos e instrucciones a la FPGA para que los procese y está responde con el resultado del procesamiento al microcontrolador.

La figura 4 muestra la arquitectura del software de la placa prototipo.

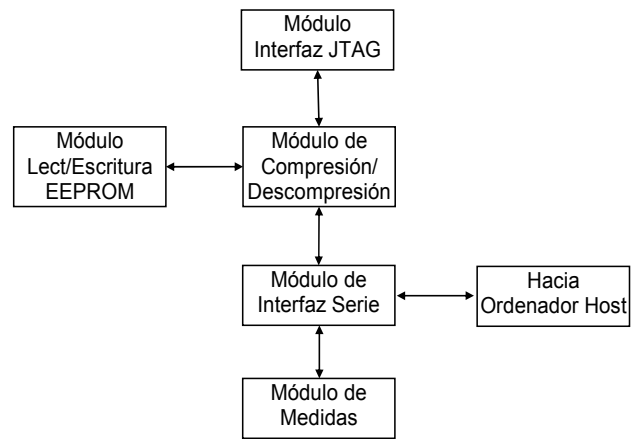


Fig. 4. Arquitectura del software de aplicación en la placa prototipo

4. Aplicaciones

Para la prueba del sistema de medición de parámetros se ha decidido implementar un multiplicador síncrono

La placa se encuentra actualmente en fase de desarrollo relativamente avanzada y en la versión definitiva del artículo irán incluidos resultados sobre su funcionamiento empleando como demostrador un multiplicador.

Este multiplicador será utilizado para comprobar el funcionamiento de la placa prototipo en la medición de los parámetros de diseño.

4.1. Multiplicador

Se ha elegido un multiplicador como circuito de prueba por dos motivos básicos: se trata de un circuito de mediana complejidad, y porque es un bloque básico en los dispositivos de procesado de señal.

La estructura de la versión síncrona de este elemento se puede observar en la figura 5. Se ha implementado un multiplicador en pipeline empleando un árbol de Wallace clásico. Ha sido implementado en el dispositivo XC4010XLPC84-5 de Xilinx, ocupando 26 CLBs, lo que corresponde al 6% de utilización del componente. El consumo de potencia interno esperado es de 24mW operando a 50MHz [10].

5. Conclusiones

Se ha llevado a cabo el diseño y la implementación de una nueva placa prototipo que conlleva una serie de diferencias con respecto a las ya existentes con el fin conseguir tres objetivos:

- Implementación de algoritmos realizados tradicionalmente con DSP
- Entorno didáctico en planeamiento de periféricos y en la planificación de
- Empleo de interfaces de testeo serie (JTAG)
- Realización de mediciones automáticas de parámetros del diseño digital implementado en la FPGA, tales como consumo de potencia y ruido generado.

- Empleo de lenguajes de alto nivel en la especificación de los diseños.
- Empleo de herramientas sencillas y económicas, como el entorno de desarrollo de Xilinx.

Por otro lado, el sistema se puede mejorar cambiando los dispositivos de la serie XC4000XL por dispositivos de la serie Virtex® de Xilinx que aportarían entre otras mejorar el aumento de la densidad de la lógica interna y el aumento del número de patillas externas permitiendo añadir más memoria y buses de interconexión más anchos.

También se ha pensado en la posibilidad de añadir un CODEC de video para poder procesar imágenes de video y así trabajar con algoritmos de procesamiento de señal de mayor nivel.

Otras aplicaciones futuras abarcan el concepto de hardware reconfigurable y sistemas en chip (systems on chip, "SoC"). Se han realizado implementaciones de procesadores integrados en FPGA RISC como el xr16 [11] para la simulación de coprocesadores en aplicaciones de procesamiento de señal.

- [3] Catalina Research Inc. Chameleon cPCI Manual, 2001.
- [4] H.W.Johnson, M. Graham. "High-Speed Digital Design – A Handbook of Black Magic". Prentice-Hall, 1993.
- [5] Ray Andraka. Modulation and Demodulation Techniques for FPGAs. DesignCon 2000. 2000.
- [6] S.W.Moore P. Robinson "Rapid Prototyping of Self-timed Circuits, 1998.
- [7] E. Brunvand, "Using FPGAs to Implement Self-Timed Systems", Journal of VLSI Signal Processing nº 6, 173-190, 1993.
- [8] Xilinx Inc. The Programmable Logic Data Book, Xilinx Inc., 2000.
- [9] Microchip Inc. Microcontrollers Data Book, Microchip Inc., 1999.
- [10] Application Brief, "A Simple Method of Estimating Power in XC4000XL FPGAs", Xilinx Inc, June 1997.
- [11] Jan Gray, "Designing a Simple FPGA-Optimized RISC CPU and System-on-a-Chip, DesignCon' 2001.

Referencias

- [1] Infomagic Inc. FPGA Boards at www.infomagic.com.
- [2] XESS Inc. XS-40 Manual rev 1.3, 2000.

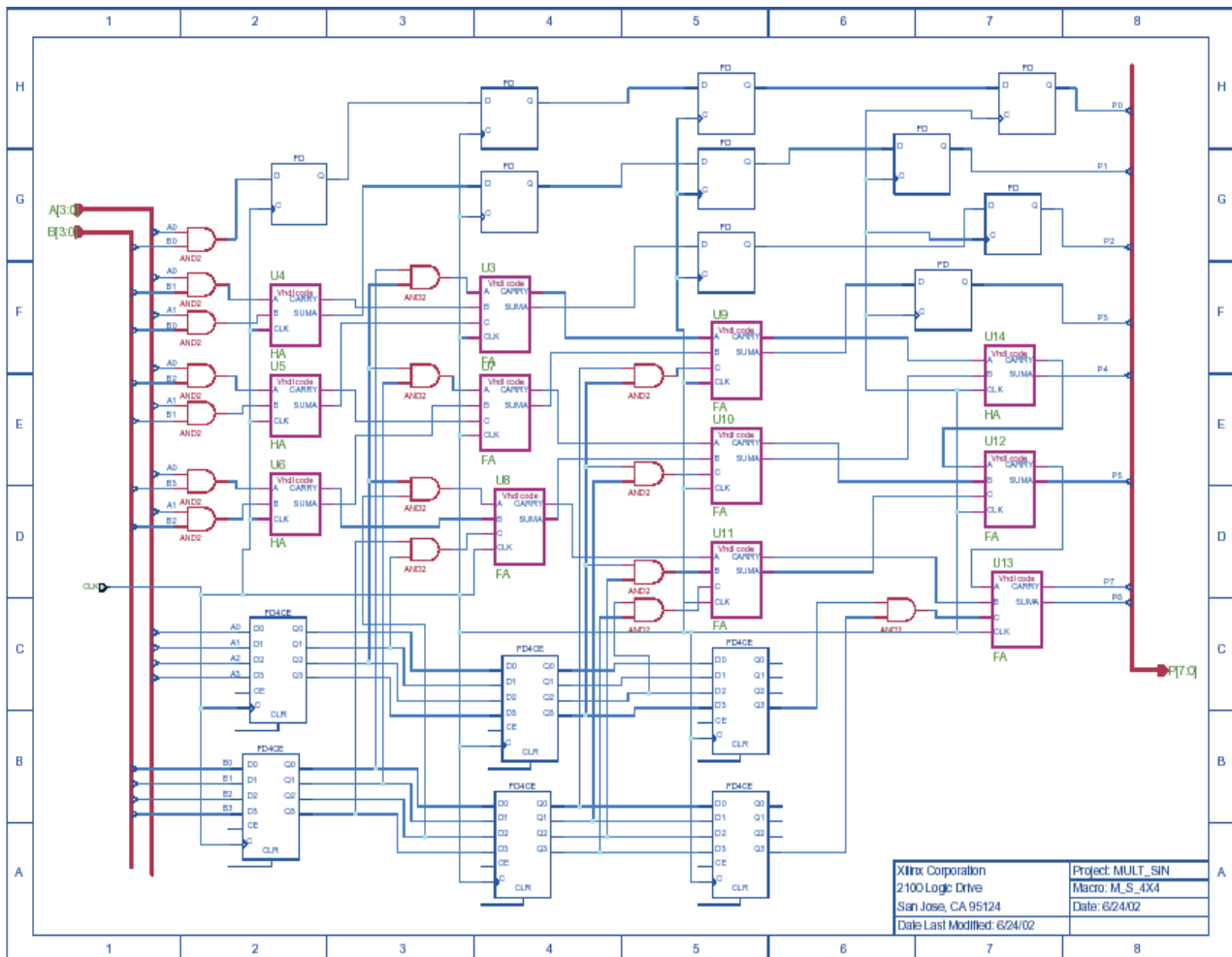


Fig. 5. Multiplicador síncrono 4x4