

# SISTEMA PORTABLE DE ADQUISICIÓN DE IMÁGENES DE DIAGNÓSTICO MÉDICO

M. Sánchez Raya, R. Rodríguez Macías y J.M. Andújar Márquez

Departamento de Ingeniería Electrónica, de Sistemas Informáticos y Automática  
Escuela Politécnica Superior. Carretera Huelva -La Rábida. 21071 Palos de la Frontera., Huelva.  
Universidad de Huelva Tlf: (959) 530580 E-Mail: rmacias@uhu.es

## Resumen

El procesamiento digital de imagen se ha venido usando durante varios años en entornos médicos de manera paralela al avance de la tecnología. Para realizar procesamiento digital, transferencia y análisis de imágenes médicas a partir de equipamiento analógico es necesario un sistema digital de conversión y adquisición de datos de alta resolución.

En este artículo presentamos una posible solución mediante un sistema de alta resolución de 1024 líneas por 1024 columnas como máximo y 10 bits de resolución de conversión que permite su uso en aplicaciones portátiles. La puesta en servicio es fácil al disponer de una interfaz para transferencia de datos basada en el estándar IEEE-1284 "Enhanced Parallel Port".

La implementación del procesado y control de adquisición con un dispositivo lógico programable (FPGA) permite modificar fácilmente el diseño para adaptarlo rápidamente a nuevas aplicaciones.

## 1. Introducción

La necesidad de transmisión de imágenes digitales e información médica es cada vez más importante para las actuales técnicas de diagnóstico y archivo. Ya en 1985, el Colegio Americano de Radiología (ACR) y la Asociación Americana de Fabricantes de Aparatos Eléctricos (NEMA) elaboraron el formato estándar DICOM [1], independiente del fabricante, para el intercambio de imágenes médicas digitales.

La escasa difusión de las técnicas digitales de procesamiento en el ambiente hospitalario español viene dado en parte por la proliferación de formatos de imagen incompatibles generados todavía por aparatos antiguos. El desarrollo de estándares de imagen como Interfile y DICOM aliviará este problema en un futuro no inmediato, pues exige la renovación de gran parte del parque de equipos instalado. [2]

Varias empresas disponen de frame grabbers de gama alta adecuados para la adquisición y tratamiento de imágenes médicas. Esta solución tiene un coste excesivo porque en la mayoría de los casos no resulta necesario el tratamiento en tiempo real si este se puede realizar por software.

En el mercado existen varios tipos de sistemas de procesamiento de imagen: frame grabber cableados orientados a la aplicación, modulares con bus, con

procesador programable y por último procesadores con bus rápido. Estos últimos delegan la mayoría de las tareas al procesador principal del computador que las alberga. Tanto la mayoría del procesamiento de imágenes como las aplicaciones de archivo no se realizan en tiempo real y por ello no necesitan de procesadores de imágenes sino más bien de sistemas sencillos y versátiles de adquisición.

Dada la gran potencia de que disponen los últimos diseños de PC, sería mucho más adecuado disponer de un dispositivo que realice la adquisición de una forma simple y efectiva con un coste menor y con la ventaja añadida de que se pueda usar en aplicaciones portátiles, realizándose posteriormente el tratamiento mediante software.

En este artículo se propone un diseño que permite digitalizar una imagen de alta resolución de hasta 1024 líneas y 1024 niveles de gris.

La sencillez, eficacia y bajo coste son las principales ventajas que aporta nuestro diseño. Sencillez, por el uso de un dispositivo lógico programable para todos los bloques del sistema, excepto el generador de reloj y bloque de conversión, y también por su interfaz al puerto paralelo, que supone simplicidad en la conexión con cualquier computador. Flexibilidad, por la adaptación a cualquier tipo de señal de entrada, al disponer de controles de ganancia de señal de vídeo y de ancho de las señales de sincronismo. Eficacia, porque realiza la adquisición de la imagen de forma adecuada a la aplicación. Bajo coste gracias al diseño simple y económico realizado.

Una aplicación típica de este sistema es la adquisición, para su posterior almacenamiento, transmisión o impresión en papel, de imágenes de ultrasonidos provenientes de un sistema analógico.

## 2. Descripción del sistema de adquisición

El sistema diseñado básicamente es una tarjeta de digitalización de vídeo multiformato, útil para la adquisición y transferencia comprimida de imágenes médicas de alta resolución.

Esta tarjeta se conecta a un PC a través de un puerto EPP (Enhanced Parallel Port) [3]. Un software específico en el PC programa su operación y lee los datos.

En la Fig.1 podemos ver un diagrama del sistema donde se muestra la conexión entre los diferentes bloques y con los elementos externos.

El dispositivo recibe la señal de vídeo de la salida del sistema de diagnóstico por imagen a través de una interfaz definida por la aplicación, el resultado de la digitalización estará presente en el PC para su almacenaje o impresión.

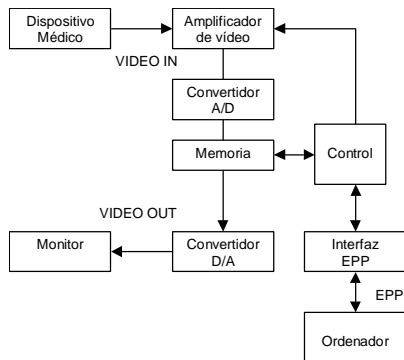


Figura 1. Diagrama del sistema.

El bloque convertidor A/D es el encargado de la digitalización de la señal de vídeo. Además, en este bloque se encuentra dos convertidores D/A que fijan la ganancia y el offset del amplificador de vídeo.

El bloque de control, implementado en una FPGA, lleva a cabo varias operaciones. La más importante es la de procesar la señal de vídeo digitalizada para extraer la información de sincronismos y controlar la digitalización en el bloque de memorias [4]. El bloque de memorias es el encargado del almacenaje temporal de los datos hasta que estos son extraídos por el PC a través del puerto paralelo.

El bloque de interfaz EPP adapta el bus del puerto paralelo al bus interno que ya contiene de forma separada las señales de control, el bus de datos y el bus de direcciones. Esta interfaz es la encargada de decodificar cualquier acceso de memoria del PC y responder a los ciclos de lectura o escritura. El bloque convertidor D/A genera una señal de vídeo para mostrar la imagen digitalizada en un monitor auxiliar de prueba.

#### A. Amplificador de vídeo.

El bloque de amplificación de vídeo se encarga de adecuar la señal proveniente del sistema analógico que se desea digitalizar y fijar el nivel de negro de la señal de entrada. Este bloque es importante puesto que las señales que se van a digitalizar son muy variables y en un entorno portátil el ajuste del sistema requiere flexibilidad.

#### B.- Convertidor A/D

El bloque del convertidor A/D es el encargado de digitalizar la señal de vídeo proveniente del equipo de diagnóstico que se conecte al sistema. El convertidor analógico/digital de SPT SPT-7860 [5] es el encargado de digitalizar las señales de vídeo. Este componente proporciona 10 bits de datos con una relación señal/ruido de 56 dB y puede tomar hasta 40 millones de muestras por segundo.

#### C.- Convertidor D/A

El convertidor D/A genera una señal de vídeo RS-343 para mostrar en un monitor la señal capturada proveniente del convertidor A/D. De esta forma es posible comprobar la calidad de la señal y calibrar el sistema. El componente

usado en este bloque es el circuito integrado SPT-5220 también de SPT. Se pueden ajustar las temporizaciones de los impulsos de sincronismos para adecuar la imagen de vídeo capturada al monitor empleado.

#### D.- Interfaz EPP

Este bloque contiene la circuitería necesaria para acceder a cualquier posición de memoria en la placa a través de un puerto EPP de un ordenador. El puerto EPP (Enhanced Parallel Port) es uno de los protocolos estándar del IEEE de interfaz bidireccional paralela para Ordenadores Personales (IEEE Std 1284-1994) [3]. Consiste en un canal asíncrono bidireccional de un byte de ancho controlado por el ordenador. Este modo proporciona ciclos de datos y direcciones separados sobre las ocho líneas de datos de la interfaz [6].

#### E.- Bloque de control y memorias

Inicialmente el sistema se encuentra en modo de vídeo directo, este modo resulta útil para fijar los parámetros de offset y ganancia para obtener una imagen adecuada. La digitalización de una imagen se inicia al cambiar el bit de modo en el registro de control. Otro bit de este registro indicará si la señal de entrada se va a registrar en modo entrelazado o no. En el caso de señal de entrada entrelazada el muestreo se realiza dos veces, una vez para cada marco. Una vez terminada la digitalización, la imagen queda fija en la memoria y así la podemos observar en el monitor de control. Cambiando de nuevo el bit de modo, se tiene acceso a la memoria de registro a través del puerto EPP, cada lectura incrementa el contador de pixel del bloque de control, hasta que la imagen haya sido transferida en su totalidad.

Como hemos comentado todo el control de cada bloque se realiza mediante una FPGA [7]. Además, este dispositivo es el encargado de preprocesar la señal de vídeo digitalizada y de controlar el almacenaje de los datos en las memorias.

Puesto que la interfaz EPP permite solo acceso a datos de un máximo de ocho bits y el formato de los datos en el bloque de memoria es de diez bits, se deben realizar dos lecturas por cada pixel, quedando los bits no usados a cero.

Las lecturas se realizan en el estado de vídeo directo, en el cual se tiene acceso al bus de la memoria, no siendo posible el acceso simultáneo del controlador EPP y del sistema de visualización. El PC inicia la adquisición de una imagen y recibe una interrupción cuando la imagen se ha almacenado en el bloque de memoria, a partir de ese momento el PC provoca el volcado del contenido de ésta, reorganizando y mostrando los datos.

### 3. Circuito de Control

El circuito de control implementado en la FPGA es la parte principal del sistema. Un diagrama de bloques del circuito diseñado en la FPGA se puede observar en la Fig. 2, basado en las estructuras que aparecen en [7], [8] y [9].

El bloque *controlador de datos* es el encargado del protocolo EPP y de las señales de control internas y externas de los periféricos (lectura y escritura). El protocolo EPP permite cuatro tipos de ciclo: lectura de

direcciones, escritura de direcciones, lectura de datos y escritura de datos. Sin embargo, la lectura de direcciones no ha sido implementada porque no es útil para esta aplicación.

El *decodificador de direcciones* genera las señales de selección de todos los periféricos internos y externos. Se emplea un bloque de memoria de tres módulos RAM estática de 1M x 4 bits controladas mediante permiso de escritura (WE) y salida (OE).

Los *registros de control* son registros internos de 8 bits donde se almacenan y programan el modo de acceso a memoria, el modo de preprocesamiento, los valores de ganancia y offset y otras señales de control. Estos registros se pueden leer o escribir a través del EPP.

El bloque controlador del bus es un multiplexor con salidas triestado usado para conectar los buses de datos de salida con los dos registros internos y con el bus de datos bidireccional. El bloque *controlador de acceso* es el encargado del acceso del PC a la memoria de imagen de forma secuencial y de la transferencia de datos.

El bloque de *preprocesamiento* es el encargado de generar los datos que se almacenan en la memoria y de controlar la lectura y escritura de ésta.

El bloque *generador de sincronismos* recibe la señal de vídeo convertida y el reloj externo programable de 5 a 40 Mhz obtenido a partir de los sincronismos mediante un PLL (bucle de enganche en fase) digital.

Durante los periodos de sincronía vertical y horizontal, la señal de sincronismo cae a un nivel menor que cualquier otra porción de la señal. Este nivel se recorta en el convertidor A/D y se hace cero al convertirse. Para una señal RS-170 el pulso de sincronismo horizontal es de aproximadamente 4.7  $\mu$ S, que corresponden a unas 64 muestras usando un reloj de 16 MHz. El periodo vertical entero es 20 veces el ancho de barrido horizontal. Durante este periodo, hay pulsos de alrededor de 31 ms cuando la señal está a nivel de sincronismos. Cada uno de estos pulsos corresponden a unas 470 muestras.

Los detectores de sincronismo son contadores de 8 bits que esperan un número de muestras con valor cero antes de validar un impulso de sincronismo. La diferencia entre un pulso horizontal o vertical reside en el diferente número de cuenta. Una vez detectado se controla el ancho de la señal de sincronismo generada mediante un par de registros prefijados. También se define la zona de preecualización y la zona de postecualización dependerá de la frecuencia de muestreo de la señal y del tamaño de las anteriores zonas. Este método de detección de sincronismo tiene la ventaja de que se puede configurar para cualquier señal de vídeo, tan solo debemos fijar la cuenta total de los contadores de detección de sincronismos. Una vez detectado el sincronismo se inicializa una máquina de cuatro estados, Fig. 3.

Este circuito se encuentra duplicado para cada sección horizontal y vertical. Los cambios de estado se producen transcurrido un tiempo prefijado a través de los registros de control. La señal de sincronismo horizontal se puede observar en la Fig. 4 y la vertical en la Fig. 5.

Los parámetros horizontales son relativos al reloj de pixel, mientras que los verticales se miden en líneas y por tanto son relativos a la señal de sincronismo horizontal.

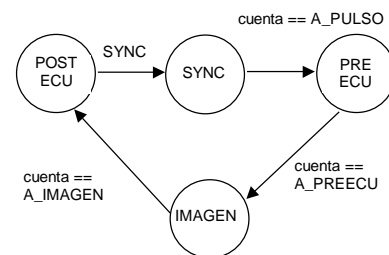


Figura 3.- Diagrama de estados del controlador de vídeo, duplicado para el controlador vertical.

Disponemos de 15 registros para programar todos los parámetros de la tarjeta como se observa en la Tabla 1.

En la Fig. 6 se puede observar un cronograma del circuito de control de vídeo durante una línea. Se generan señales de sincronismo procesado y blanqueo horizontal.

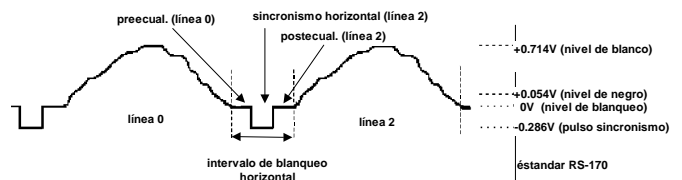


Figura 4.- Extracción de sincronismo horizontal.

El diseño del circuito de control ha sido desarrollado con la FPGA EPF10K10TC144-3 de Altera [6]. Este dispositivo tiene un encapsulado SMT con 144 pines (32 para alimentación y 9 dedicados). Dispone de 7000 puertas útiles y 720 flip-flops en 576 elementos lógicos. En la implementación final se han necesitado 66 pines y 331 elementos lógicos, lo que supone el 57 % de recursos del dispositivo, con lo cual quedan suficientes recursos para añadir algún tipo de procesamiento de imagen adicional. Los pines restantes se han usado para testear el dispositivo. El tiempo de diseño aproximado del dispositivo ha sido de un mes por persona.

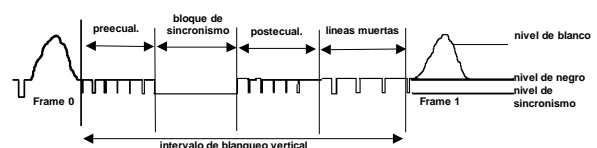


Figura 5.- Extracción de sincronismo vertical.

Para la implementación de varios de los bloques descritos se han usado módulos parametrizados disponibles en la librería de Altera. Esto ha permitido reducir el tiempo de diseño y optimizar los recursos de la FPGA.

Para configurar la FPGA se ha usado la configuración serie pasiva. Esta configuración se realiza mediante el puerto serie del PC a través de un dispositivo específico de Altera conocido como BIT-BLASTER que se conecta a algunos pines de la FPGA. Este método es muy útil en la fase de pruebas del prototipo puesto que permite modificar el comportamiento del dispositivo dentro del prototipo.

ADDR	Nombre	Comentario
0	DATOS BYTE BAJO	Byte bajo de datos a 10 bits
1	DATOS BYTE ALTO	Byte alto de datos a 10 bits
2	GANANCIA	Ajuste señal de vídeo
3	OFFSET	Ajuste nivel de negro
4	ANCHO_H	Píxeles por línea
5	ANCHO_PULSO_H	Pulso generado
6	ANCHO_BACK_H	Zona preecualizada
7	ANCHO_DETEC_H	Detector sincronismo
8	CONTROL_H	Lectura pulso horizontal
9	ANCHO_V	Líneas por marco
10	ANCHO_PULSO_V	Pulso generado
11	ANCHO_BACK_V	Zona preecualizada
12	ANCHO_DETEC_V	Detector sincronismo
13	CONTROL_V	Lectura pulso vertical
14	CONTROL_MODO	Control adquisición
15	DIV_PLL_BAJO	Reloj de pixel (LSB)
16	DIV_PLL_ALTO	Reloj de pixel (MSB)

**Tabla 1.** Registros de control del dispositivo.

#### 4. Características del sistema

El dispositivo presentado reúne las siguientes características:

- Adaptación a cualquier tipo de fuente de vídeo
- 1024x1024x10bits máxima resolución espacial.
- Posibilidad de añadir una circuitería de preprocesamiento en la propia FPGA.
- Generación de interrupción cuando una imagen ha sido adquirida.
- Conexión con el PC a través del puerto de alta velocidad EPP.
- Salida de la imagen preprocesada sobre un monitor auxiliar.
- Posibilidad de desconectar la FPGA y alimentar las memoria en un modo de bajo consumo, manteniendo así la imagen capturada.

#### 5. Conclusiones

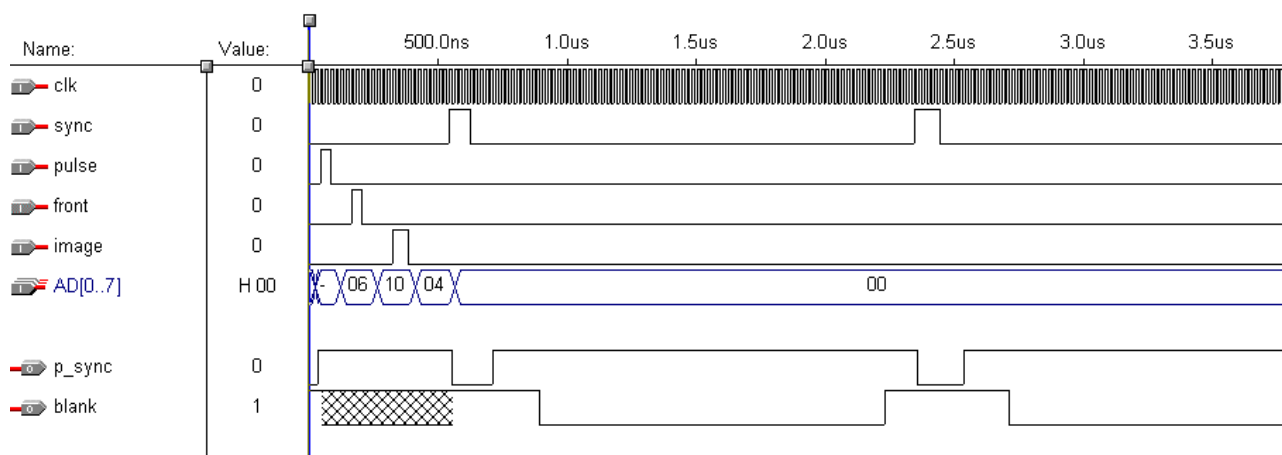
Se describe un dispositivo que permite la adquisición de imágenes medicas de muy alta calidad adaptándose a múltiples formatos de vídeo. Resulta factible su uso en entornos portátiles, tales como quirófanos, debido a su bajo consumo.

La conexión del sistema a un PC a través del puerto EPP proporciona una fácil instalación.

La implementación del control y el procesado en una FPGA permite modificar el diseño fácilmente para adaptarlo a nuevas aplicaciones o para realizar diferentes versiones del mismo sistema.

#### 6. Referencias

- [1] Bas Revert, "DICOM Cook book", Phillips Medical Systems, 1997.
- [2] Integración de Imágenes médicas. M. Desco. International Telemedicine. Nº 5, 1998.
- [3] IEEE Computer Society. "IEEE Standard Signaling Method for a Bidirectional Parallel Peripheral Interface for Personal Computers", New York, 1994.
- [4] ATMEL ATV2500 Applications Notes "Applications Example: Video Frame Grabber", ATMEL Inc. 1996.
- [5] SPT. "Product Databook", 1994
- [6] J.L. Martin, J. Ezquerro y P. Ibañez, "FPGA Based Image Preprocessing System for Enhanced Parallel Port" SPIE 90 pp. 573-578.
- [7] Altera. "Data Book", 1995
- [8] Ray Andraka, North Kingstown; "Dynamic hardware video processing platform", pp.90-99; SPIE Proceedings Vol. 2914 High-Speed Computing, Digital Signal Processing, and Filtering Using Reconfigurable Logic. 1996.
- [9] Geoffrey Brown "User configurable data acquisition systems", pp 54-64, SPIE Proceedings Vol 2914. 1996.



**Figura 6.** Control de digitalización de línea