

**TEMA II**

**FAMILIAS LÓGICAS**

## Introducción

Familias de transistores de paso

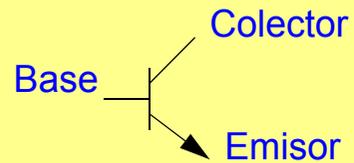
Familias diferenciales

Familias en modo corriente

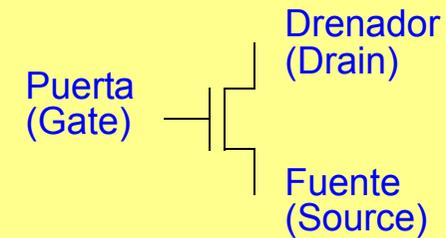
FAMILIA LÓGICA : LA ESTRUCTURA BÁSICA A PARTIR DE LA CUAL SE PUEDEN CONSTRUIR LAS DIFERENTES PUERTAS LÓGICAS



Transistores bipolares

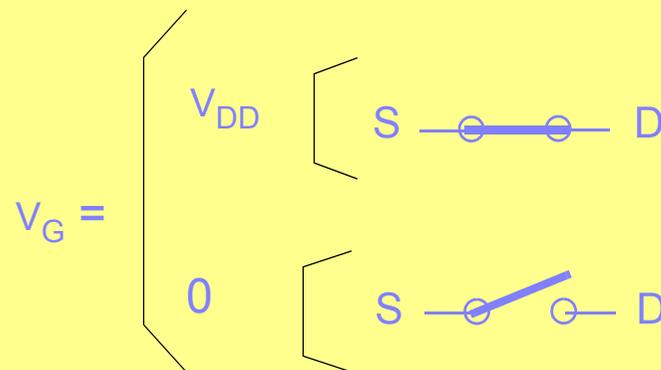
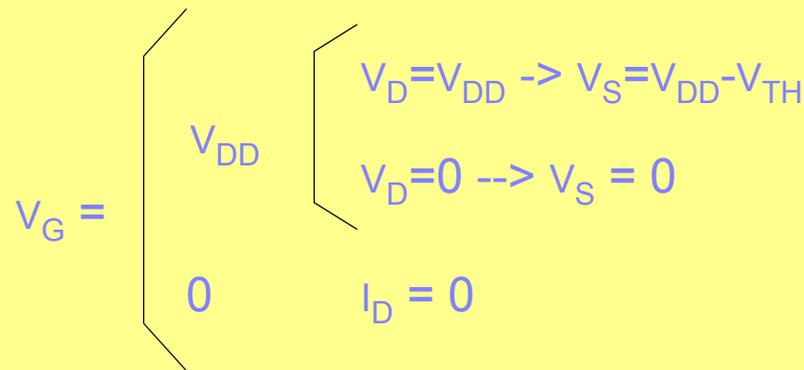
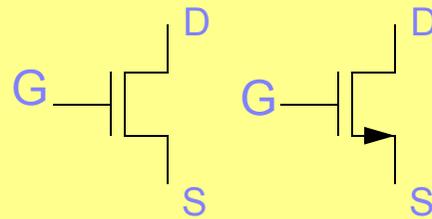
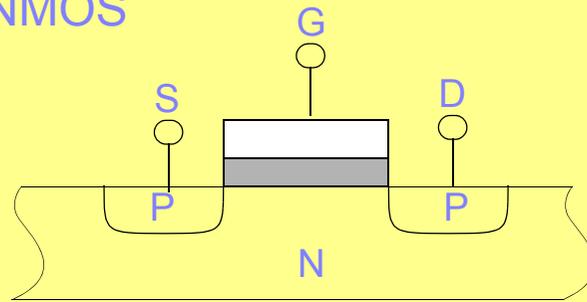


TRANSISTORES MOS

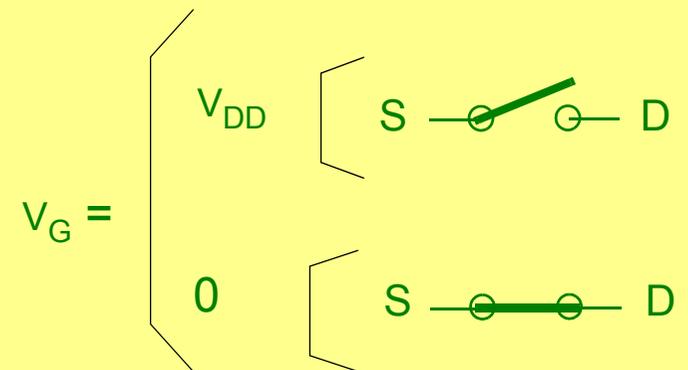
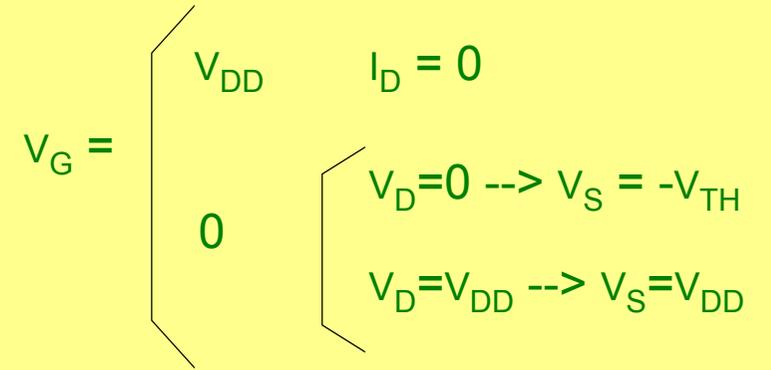
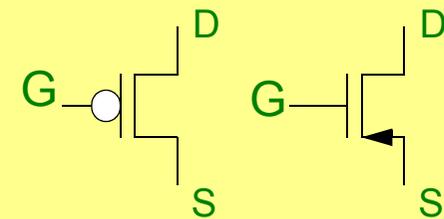
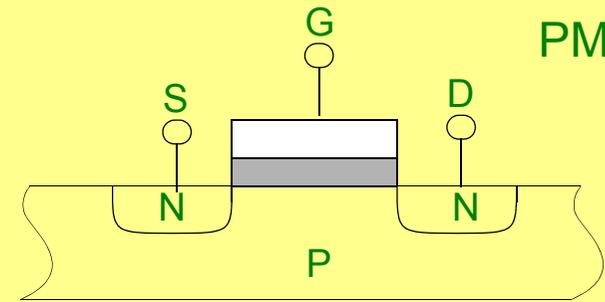


# Transistor MOS

NMOS



PMOS



Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

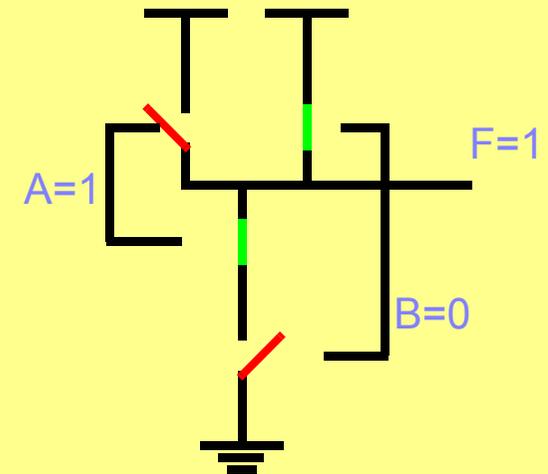
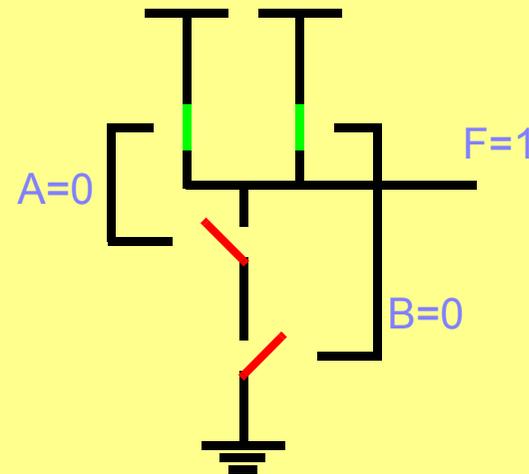
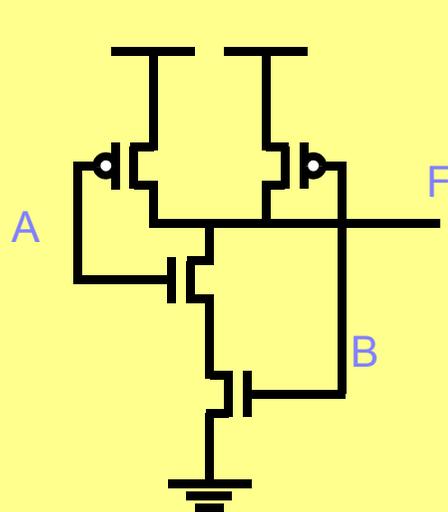
# Introducción

Familias de transistores de paso

Familias diferenciales

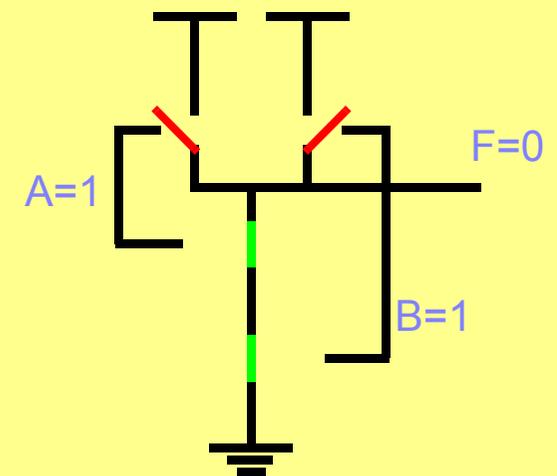
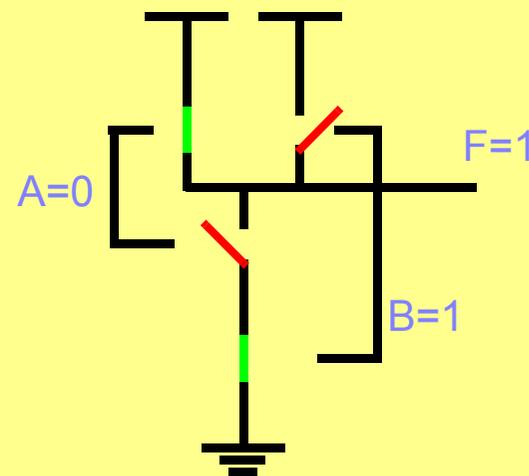
Familias en modo corriente

## Ejemplo I



	B	0	1
A			
0	1	1	
1	1	0	

$$F = \overline{A \cdot B}$$



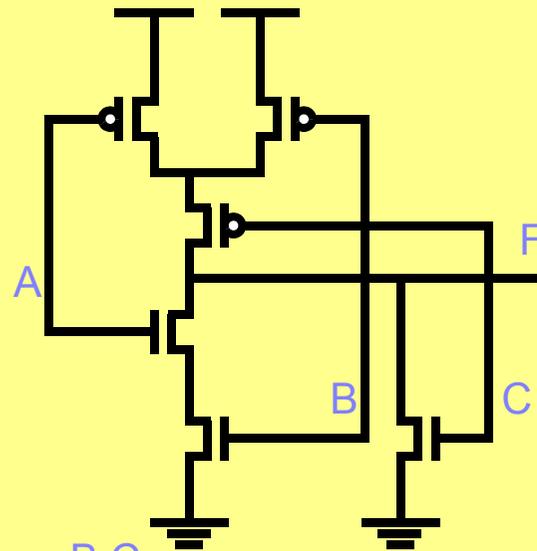
# Ejemplo II

Introducción

Familias de transistores de paso

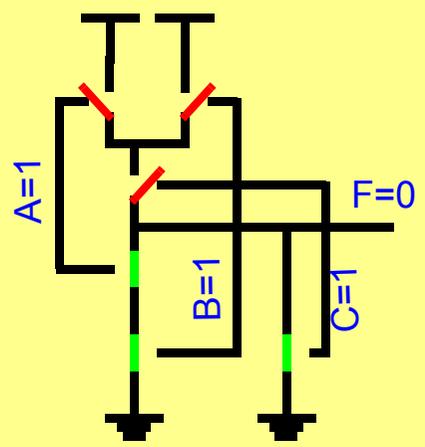
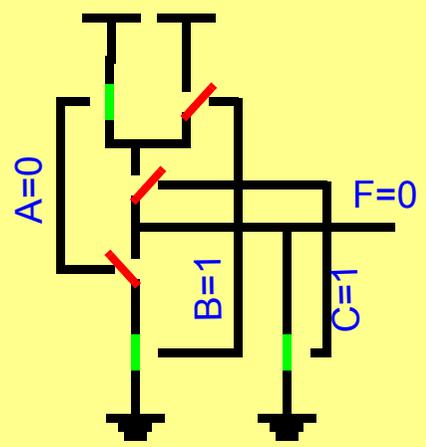
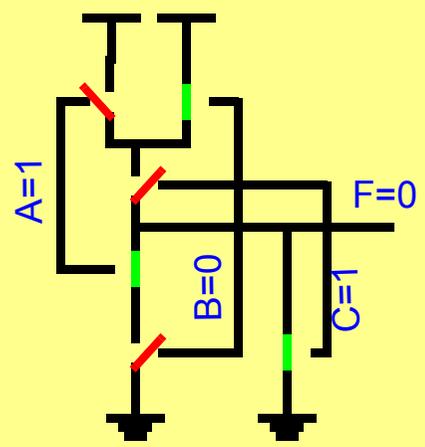
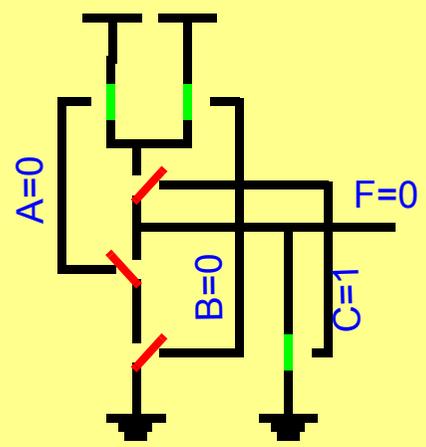
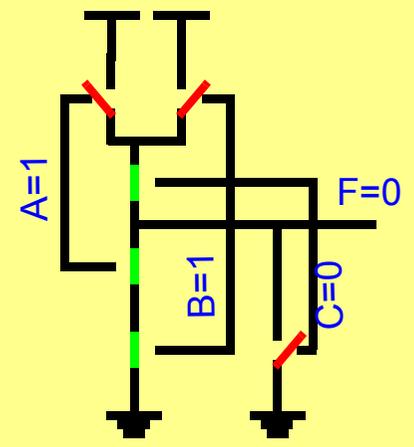
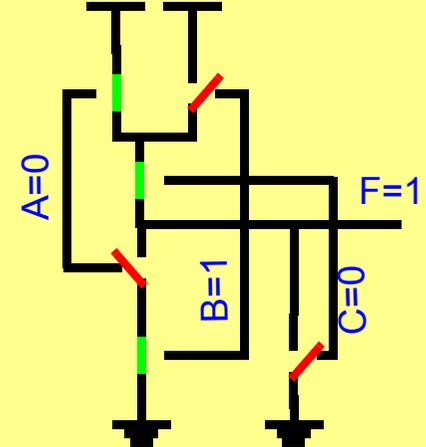
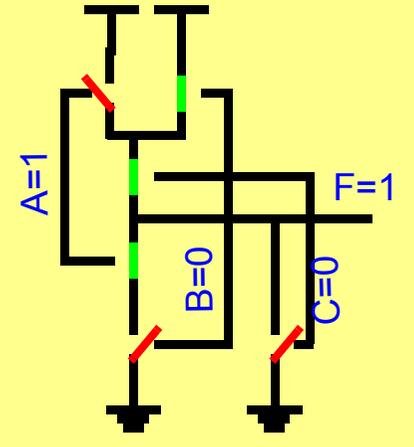
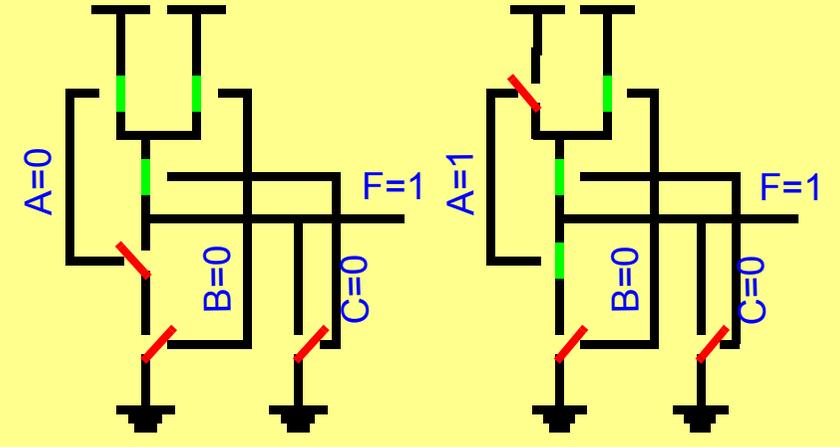
Familias diferenciales

Familias en modo corriente



A	BC	00	01	11	10
0		1	0	0	1
1		1	0	0	0

$$F = \overline{C + A \cdot B}$$



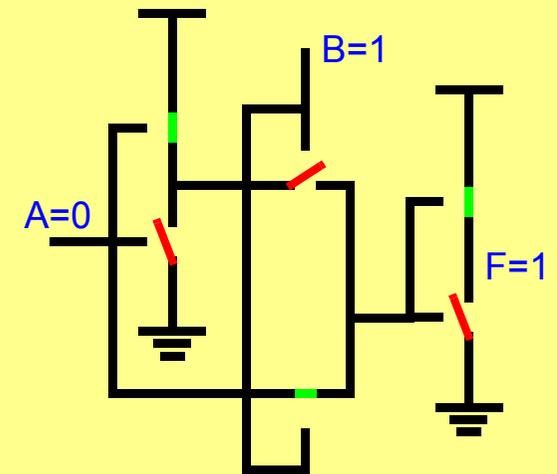
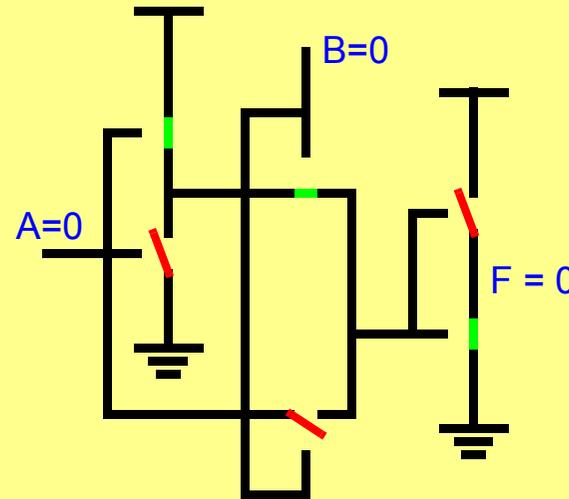
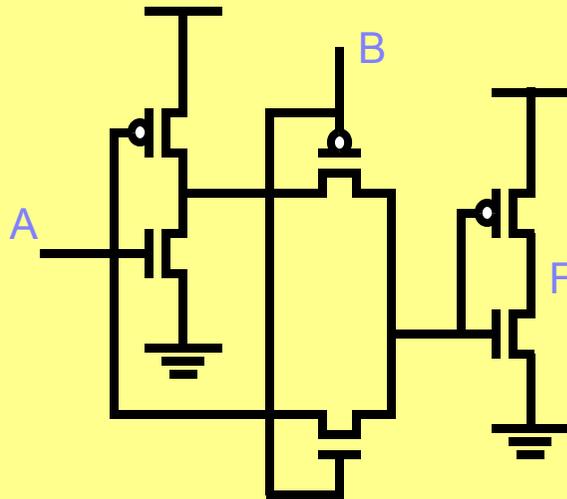
# Ejemplo III

## Introducción

Familias de transistores de paso

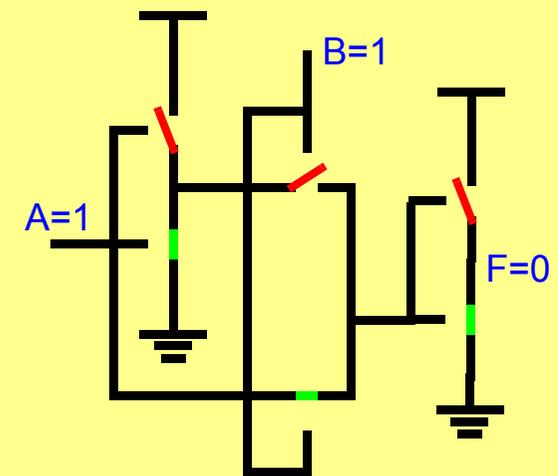
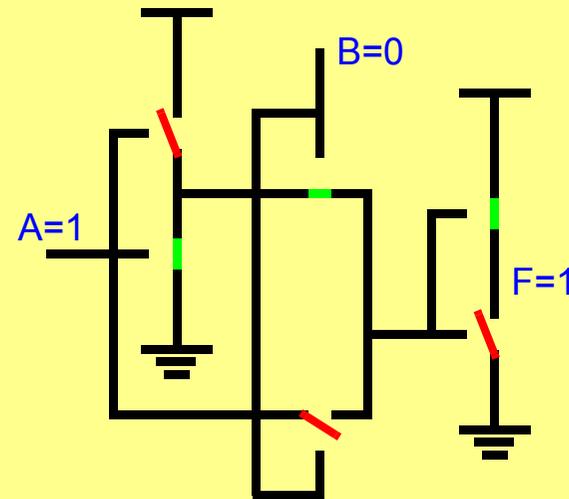
Familias diferenciales

Familias en modo corriente

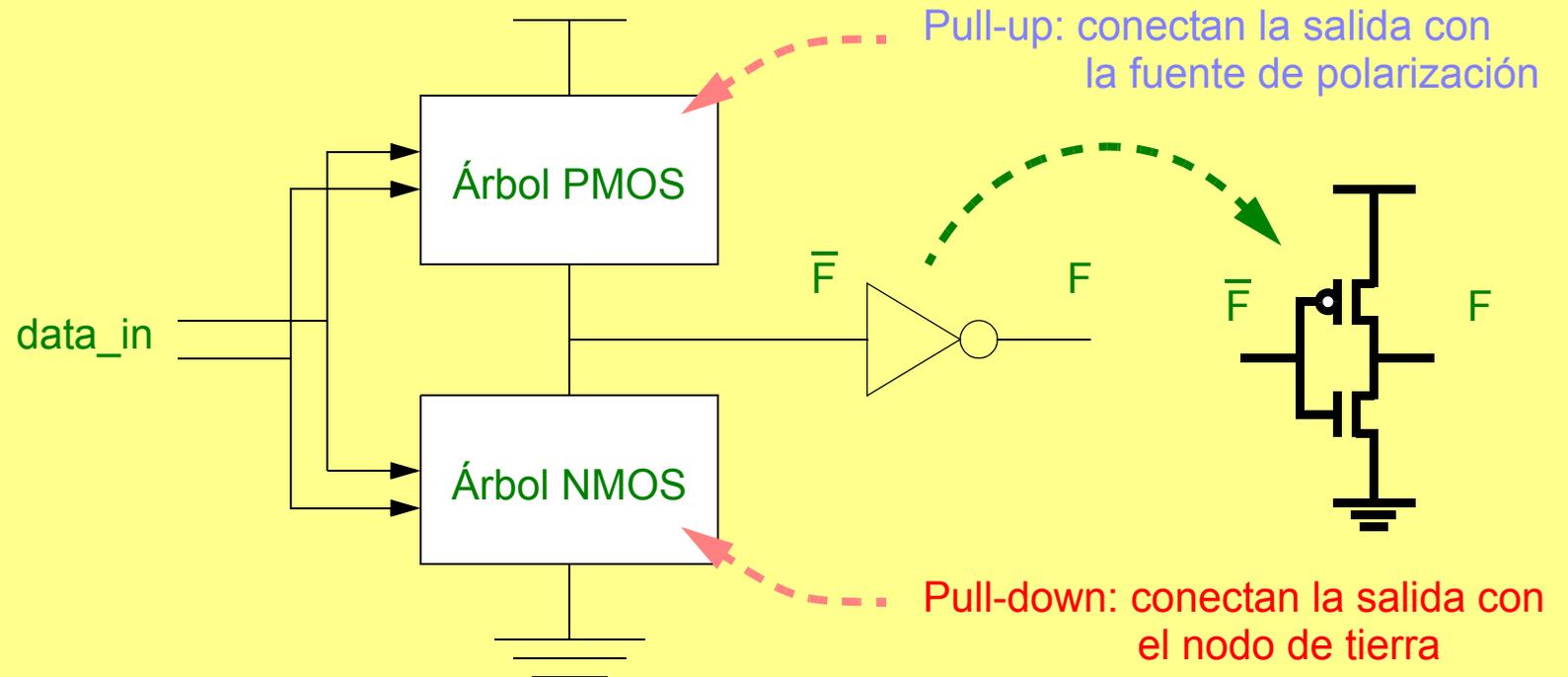


		B	0	1
A	0	0	1	
	1	1	0	

$F = \bar{A} \cdot B + A \cdot \bar{B} = A \dot{Y} B$



# Familia CMOS estática



Familia negativa = se obtiene el valor negado de la función

Los datos de entrada sólo pueden estar conectados a las puertas de los ttores

Los drenadores y fuentes sólo pueden estar conectados a nodos internos, polarización (PMOS) y tierra (NMOS)

El nodo de salida estará conectado a la unión de los árboles NMOS y PMOS

Árboles NMOS y PMOS complementarios (CMOS) = no deben conducir ambos árboles simultáneamente

Consumo de potencia en estática nulo

Márgenes de ruido elevados (robstez ante ruido, cambios en la polarización, ...)

Tiempos de propagación altos

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

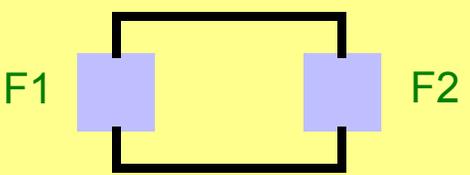
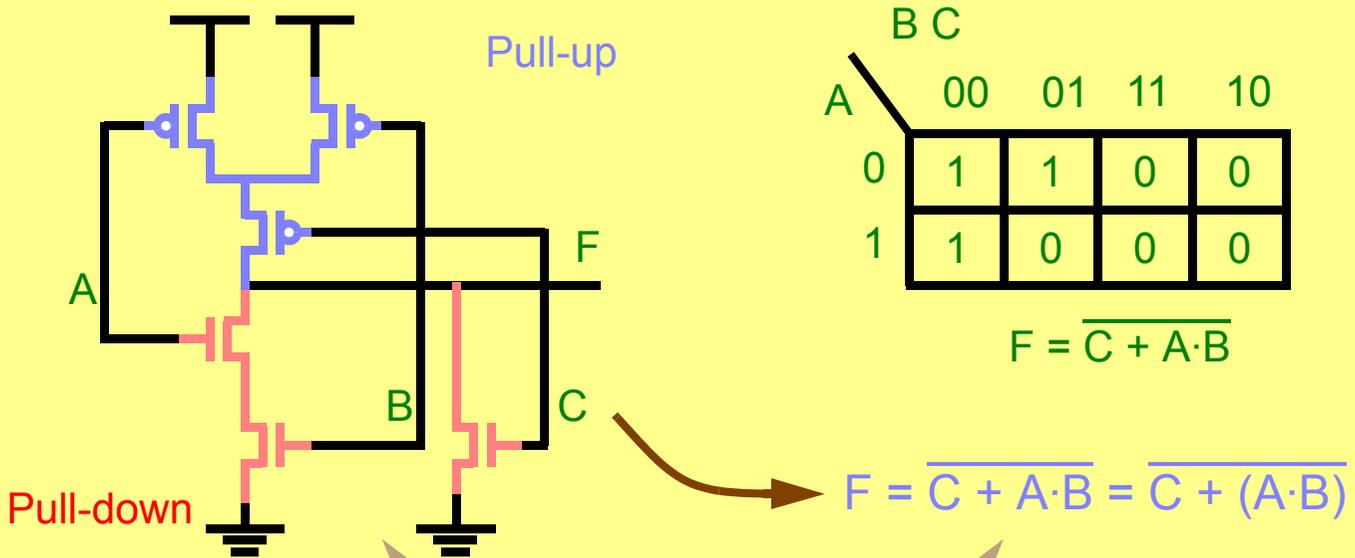
# Familia CMOS estática

## Introducción

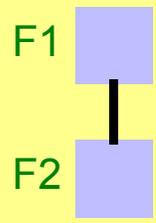
Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

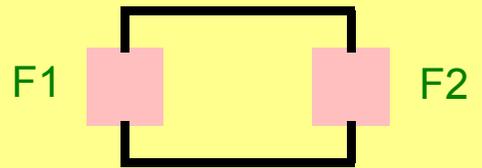


ÁRBOL PMOS



ÁRBOL NMOS

Operación AND ( $F1 \cdot F2$ )



Operación OR ( $F1 + F2$ )

# Diseño lógico

## Introducción

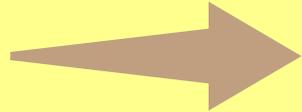
Familias de transistores de paso

Familias diferenciales

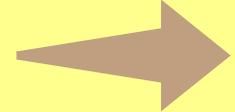
Familias en modo corriente

TABLA DE VERDAD

x1	x2	x3	xN	F	G
0	0	0	0	f0	g0
1	0	0	0	f1	g1
0	1	0	0	f2	g2
1	1	1	1	fn	gn



FUNCIONES LÓGICAS



REGLAS DE CONECTIVIDAD

Minimización  
(Mapas de Karnaugh)  
(Método de McCluskey)

x3	x2	x1	F	G
0	0	0	0	0
0	0	1	0	0
0	1	0	1	0
0	1	1	0	0
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0

		x3 x2			
x1		00	01	11	10
	0	0	1	1	0
1	0	0	1	1	

$$F = x2 \cdot \overline{x1} + x3 \cdot x1$$

$$F = \overline{\overline{x2} \cdot \overline{x1} + \overline{x3} \cdot x1}$$

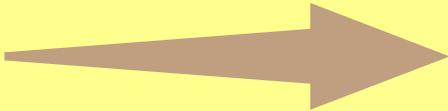
		x3 x2			
x1		00	01	11	10
	0	0	0	1	1
1	0	0	0	1	

$$G = x3 \cdot \overline{x1} + x3 \cdot \overline{x2}$$

$$G = \overline{\overline{x3} + x2 \cdot x1}$$

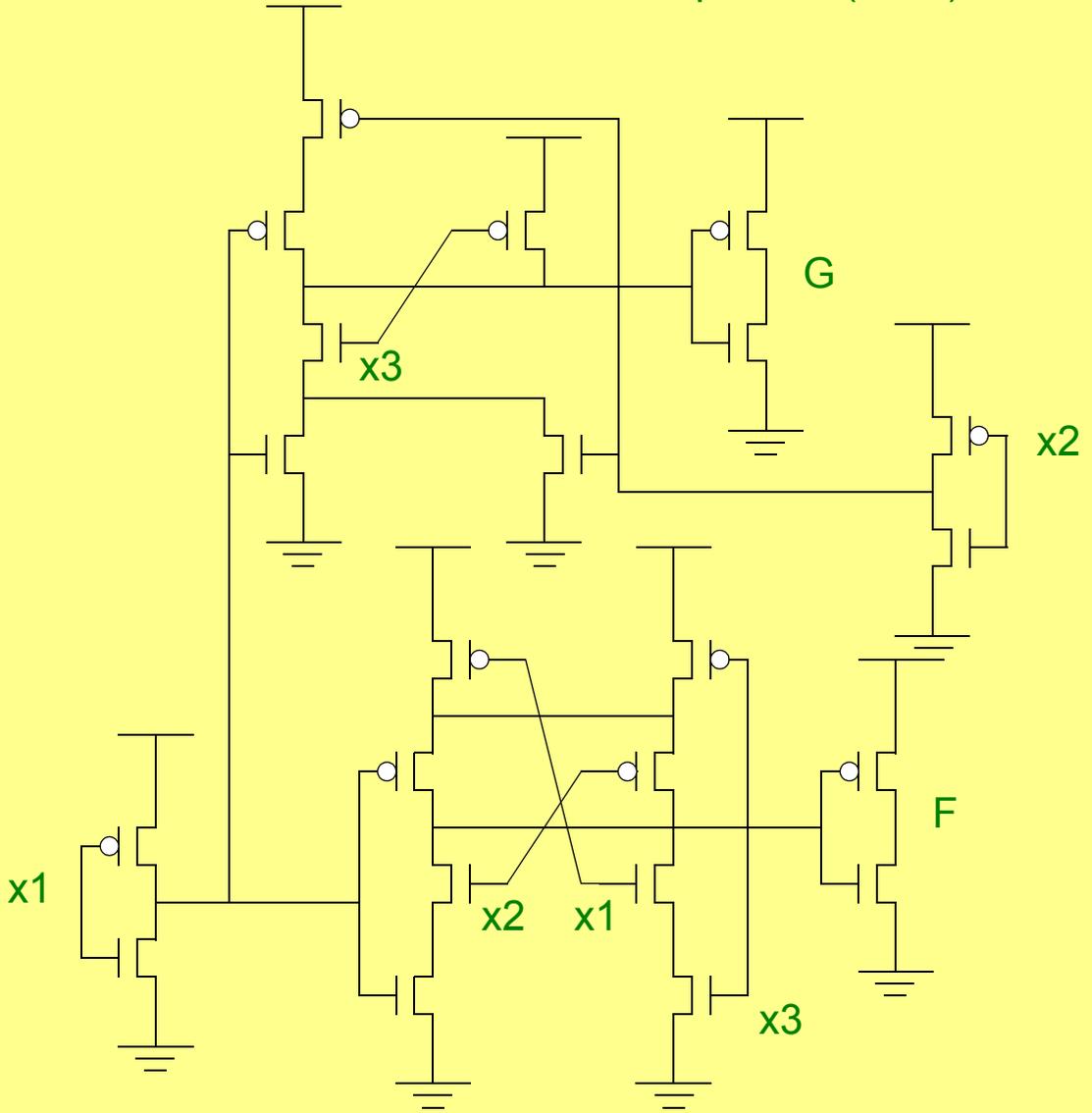
# Diseño lógico

FUNCIONES LÓGICAS



CONEXIÓN DE TRANSISTORES  
AND = serie (paralelo)  
OR = paralelo(serie)

$$F = x2 \cdot \overline{x1} + x3 \cdot x1$$
$$G = x3 \cdot \overline{x1} + x3 \cdot \overline{x2} = x3 \cdot (\overline{x1} + \overline{x2})$$



## Introducción

Familias de transistores de paso

Familias diferenciales

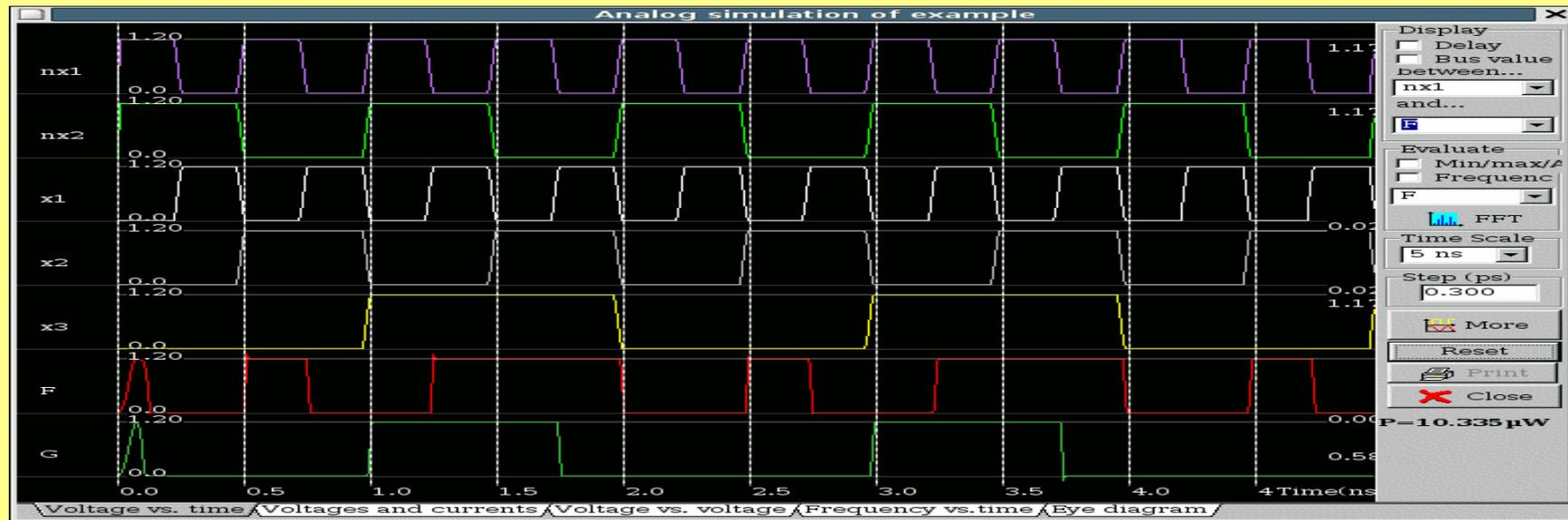
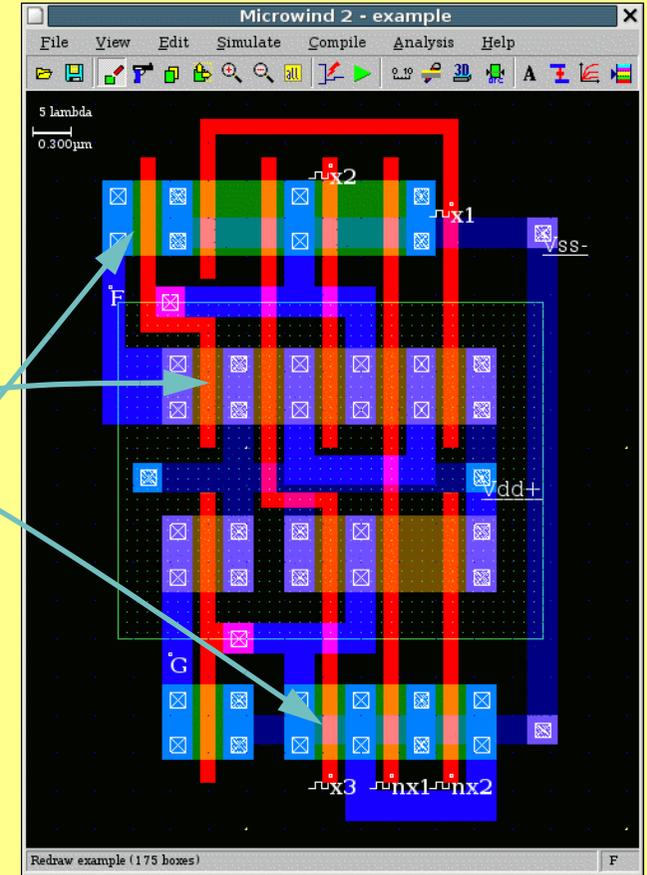
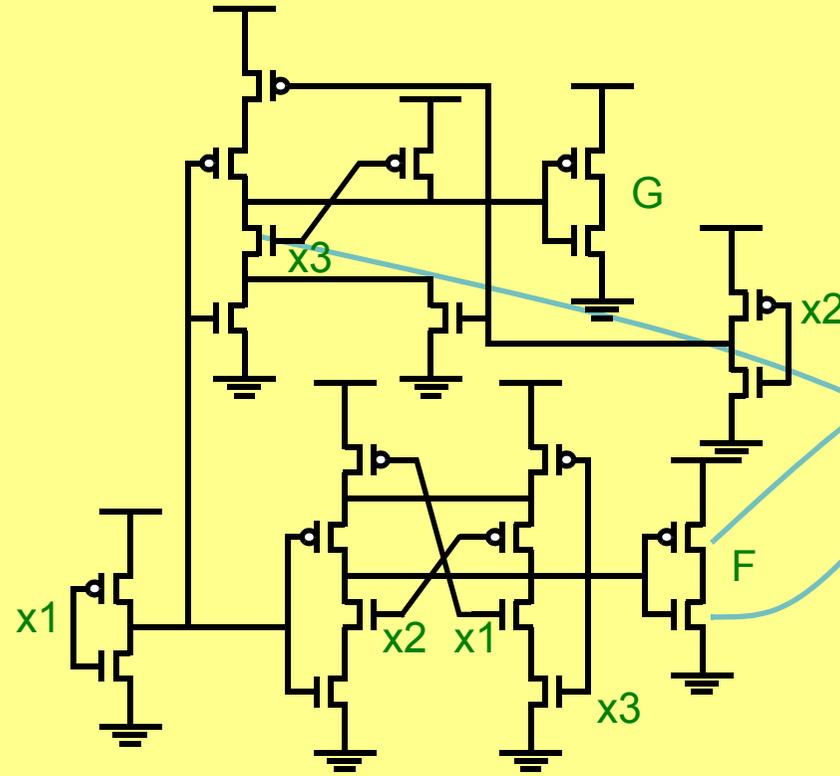
Familias en modo corriente

# Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente



# Introducción

Familias de transistores de paso

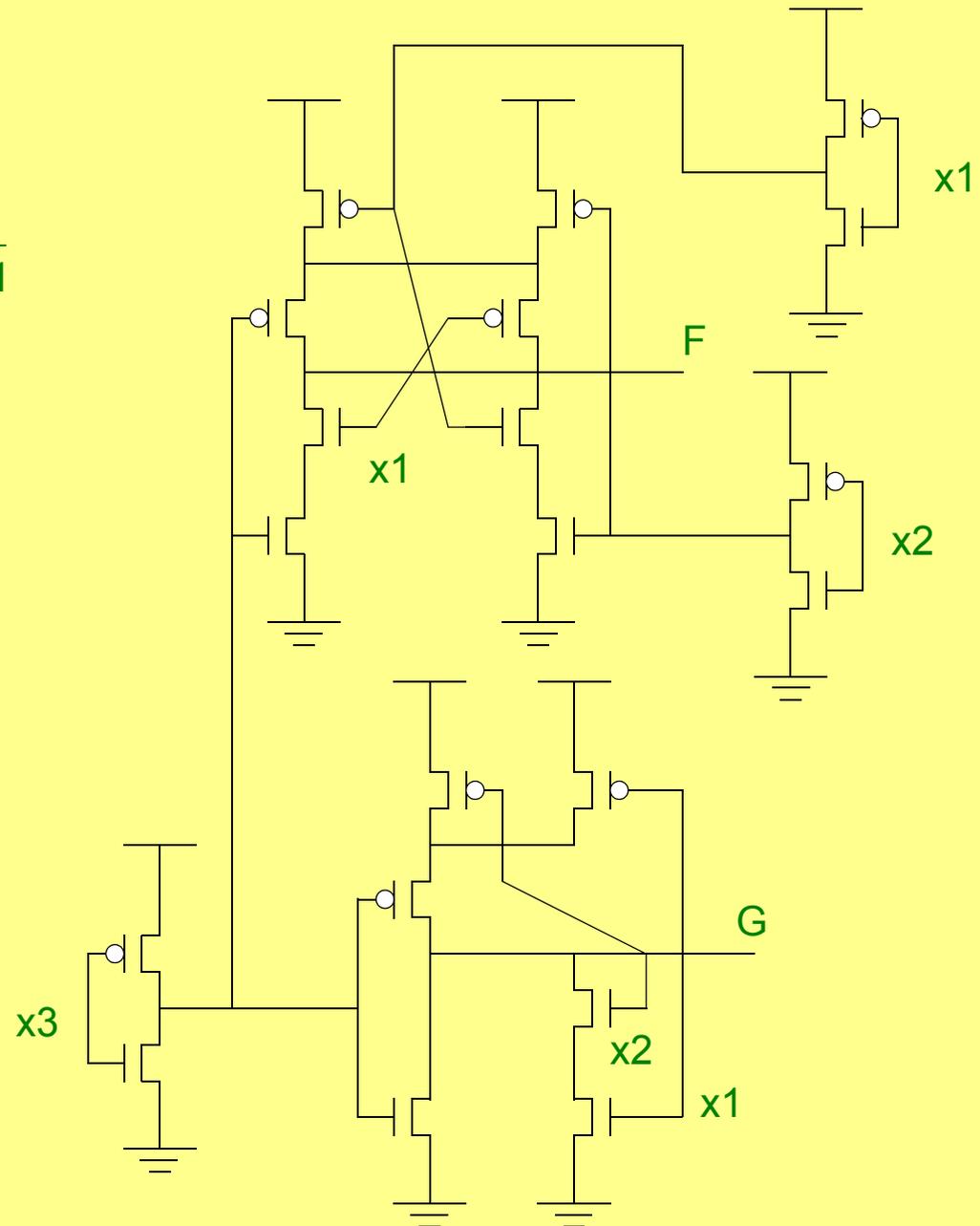
Familias diferenciales

Familias en modo corriente

## CONEXIÓN SIN INVERORES DE SALIDA

$$F = \overline{\overline{x_2 \cdot x_1} + \overline{x_3 \cdot x_1}}$$

$$G = \overline{x_3} + x_2 \cdot x_1$$



# Familia de transistores de paso

Un transistor de paso es un transistor con una resistencia idealmente nula en su fase de conducción

-- Comportamiento de un transisto de paso

with G select

D <= S when '1',

Z when others;

-- Multiplexor con S como entrada de selección, y

-- A0 y A1 como entrada de datos.

with S select

F <= A0 when '0',

A1 when '1',

Z when others;

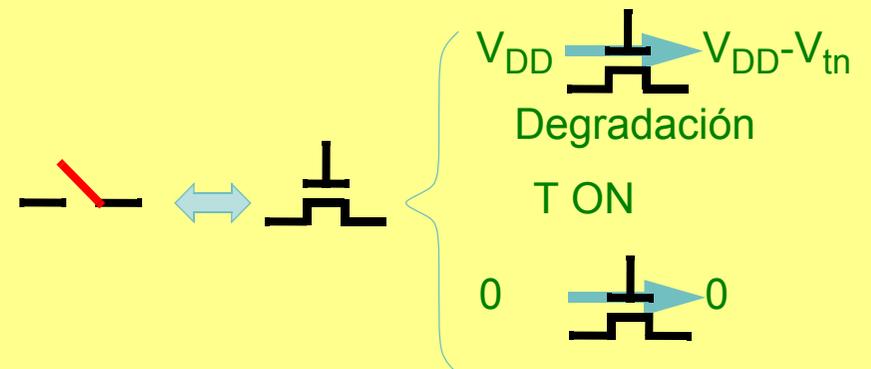
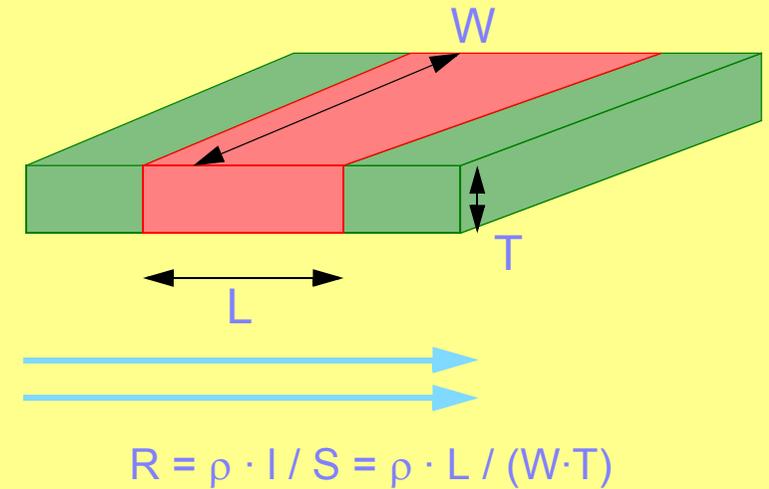
-- Puerta XOR de dos entradas.

with A select

F <= B when '0',

not B when '1',

Z when others;



Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

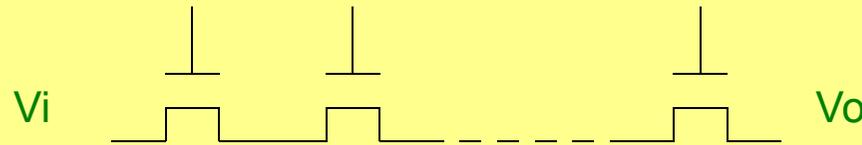
# Familia de transistores de paso

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente



$$V_O = V_I - N \cdot V_{TH}$$
$$V_O = V_{DD} - N \cdot V_{TH} > V_{OH}$$
$$V_{DD} - V_{OH} > N \cdot V_{TH}$$



Señales de entrada conectadas a drenador y puertas de ttores

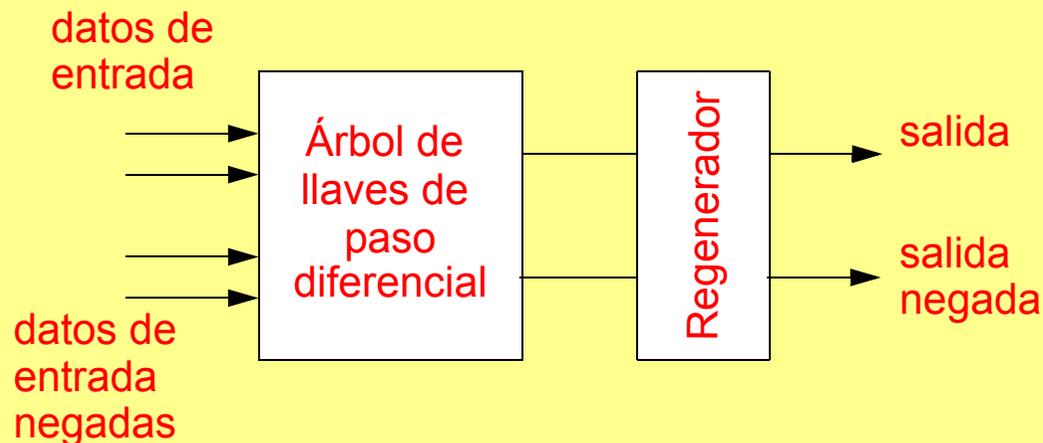
Limitación del nº entradas por degradación

La salida debe ser regenerada

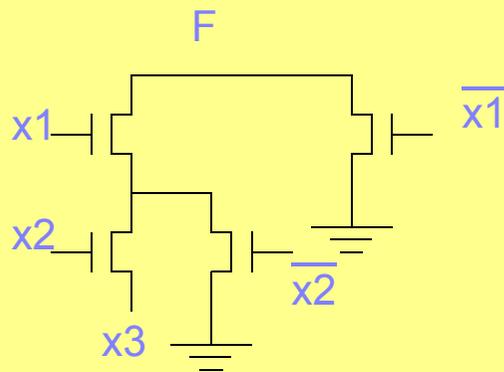
Una sola rama del árbol debe conducir

Bajo consumo de potencia

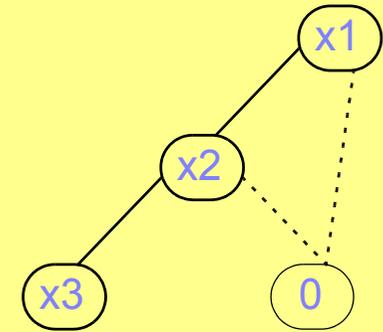
Poco robustas frente a cambios en la tecnología (polarización y dimensiones)



# Diseño lógico



```
if (x1 = '1') then
  if (x2 = '1') then F <= x3;
  else F <= '0';
end if;
else F <= '0';
```



Un diagrama de decisión binaria (BDD, Binary Decision Diagram) es un grafo dirigido acíclico de tal forma que representa una función lógica como una serie de sentencias if ... then ... else anidadas.

Un diagrama de decisión binaria ordenado (OBDD) es aquel en el que cada variable aparecerá siempre en el mismo nivel, y de esta forma aparecerá una sola vez en cada rama del BDD. También existirá un único nodo etiquetado como '0' y un único nodo etiquetado como '1'.

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

# Diseño lógico

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

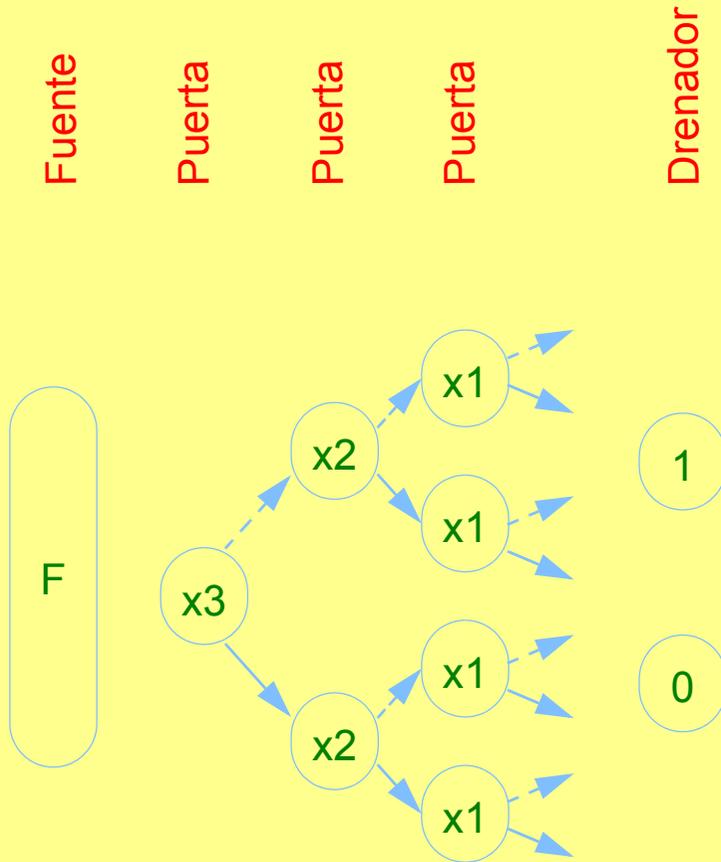
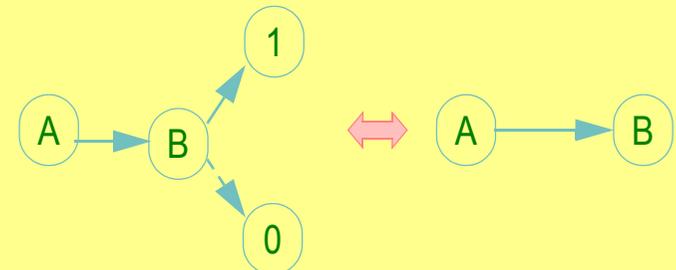
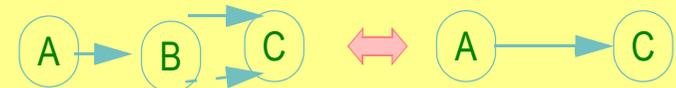
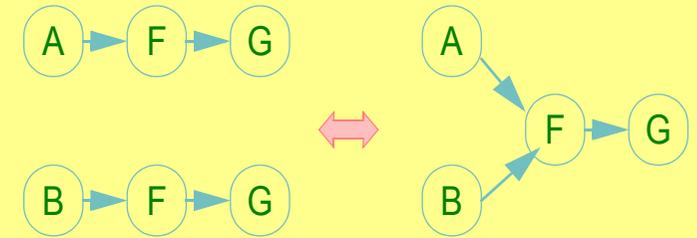


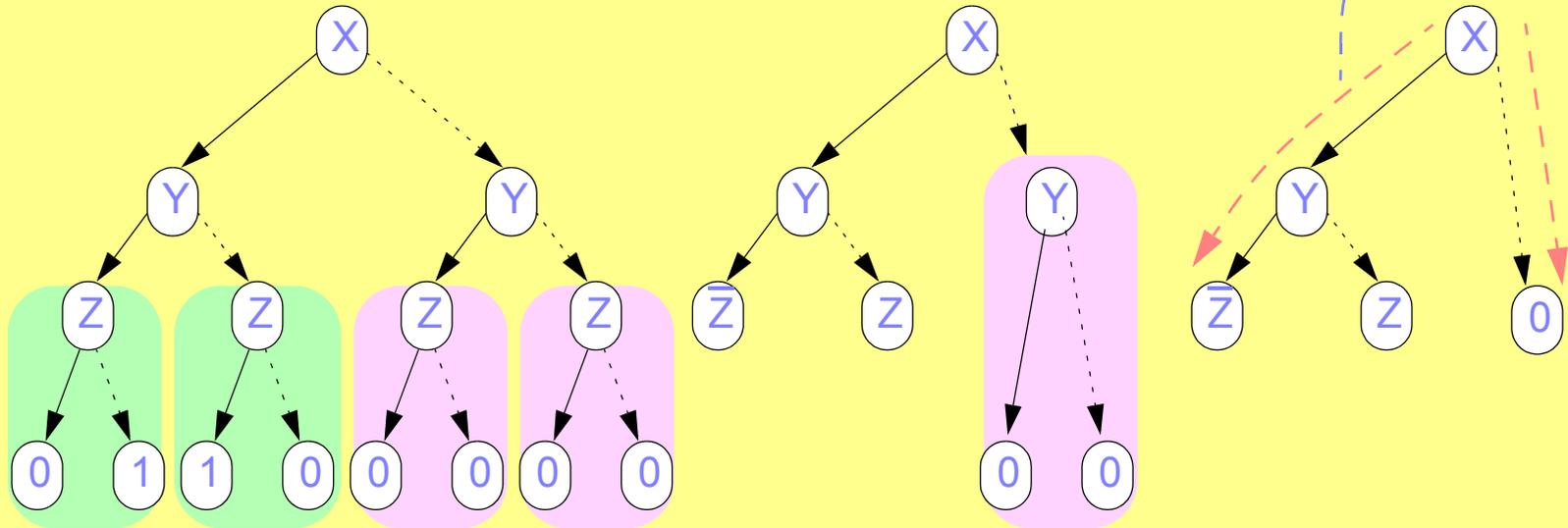
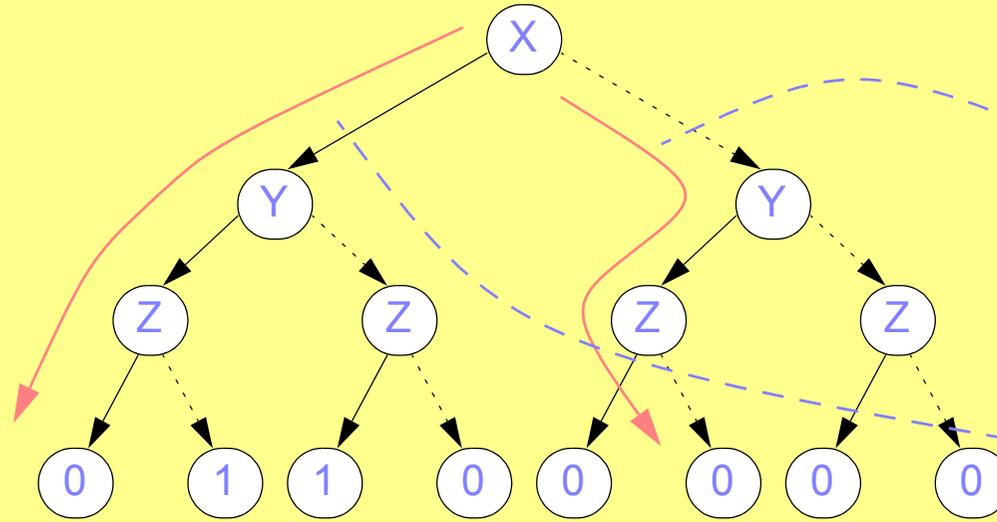
Diagrama lógico  
(Estructura de multiplexores)

## Reducción del diagrama lógico



# Diseño lógico

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0



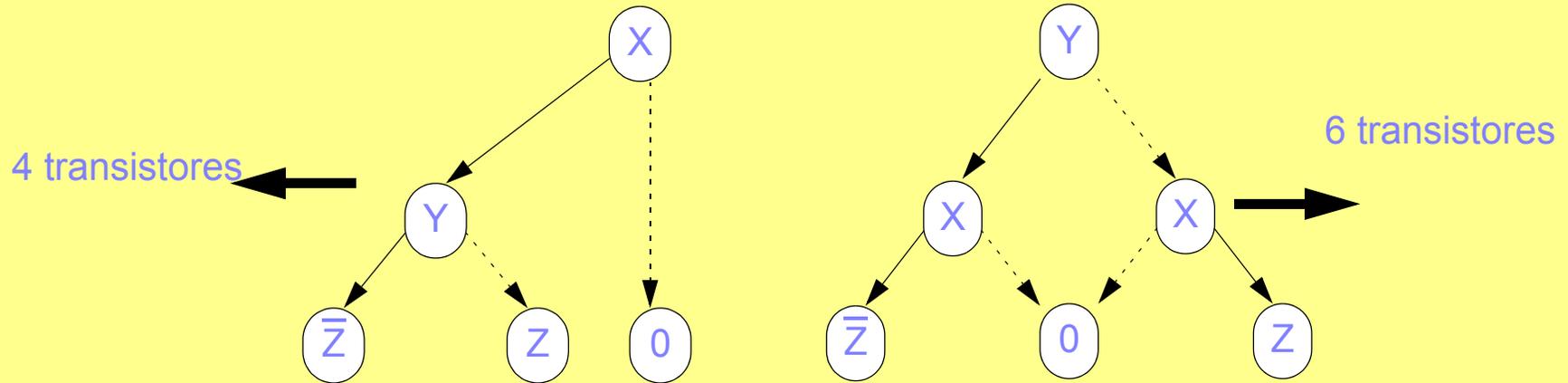
Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

# Diseño lógico



## ORDENACIÓN DE LAS SEÑALES DE ENTRADA ALGORITMO HEURÍSTICO DE PESOS

Se obtiene la fórmula mínima

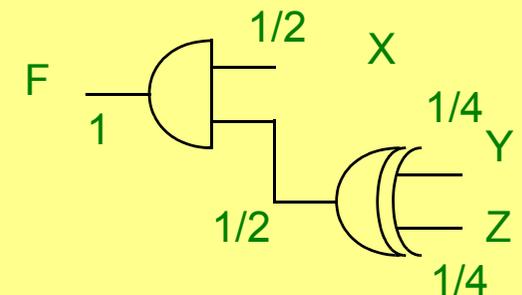
Cada señal de salida partirá con un peso igual a 1

El peso de las entradas de una puerta es el peso de la salida dividido entre el número de entradas

Las señales conectadas a más de una puerta tendrán como peso la suma del peso de cada una de las puertas

El orden de las entradas será el orden creciente de los pesos

$$F = X \cdot (Y \oplus Z)$$



$$\{(F, 1), (X, 1/2), (S1, 1/2), (Y, 1/4), (Z, 1/4)\}$$

X, Y, Z

# Diseño lógico (Ejemplo)

Introducción

Familias de transistores de paso

Familias diferenciales

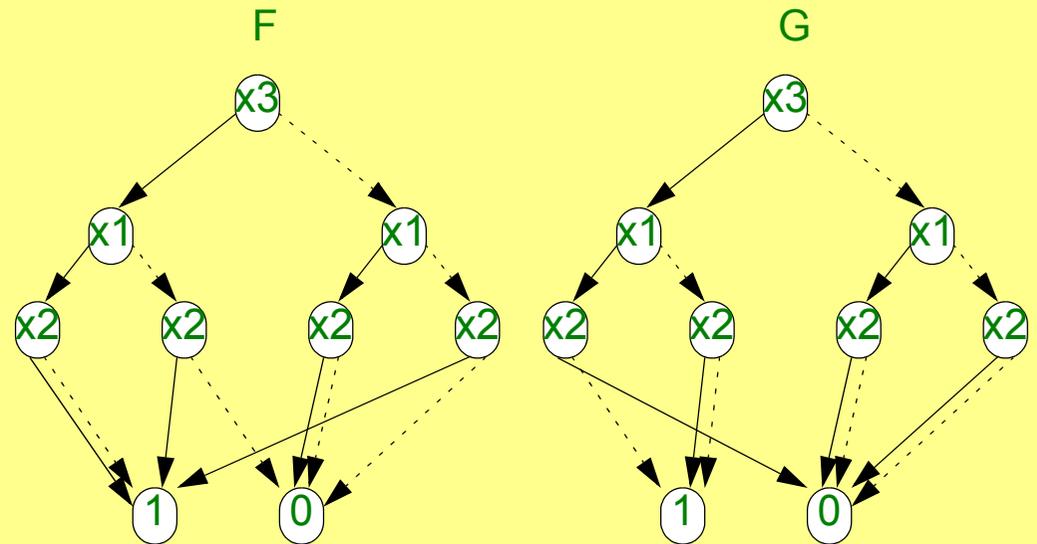
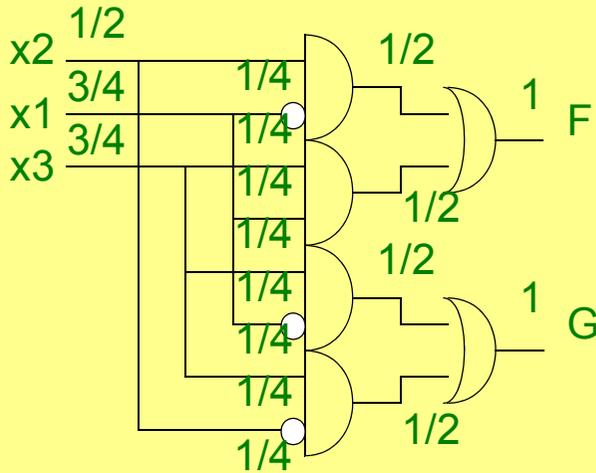
Familias en modo corriente

Obtención de la función lógica

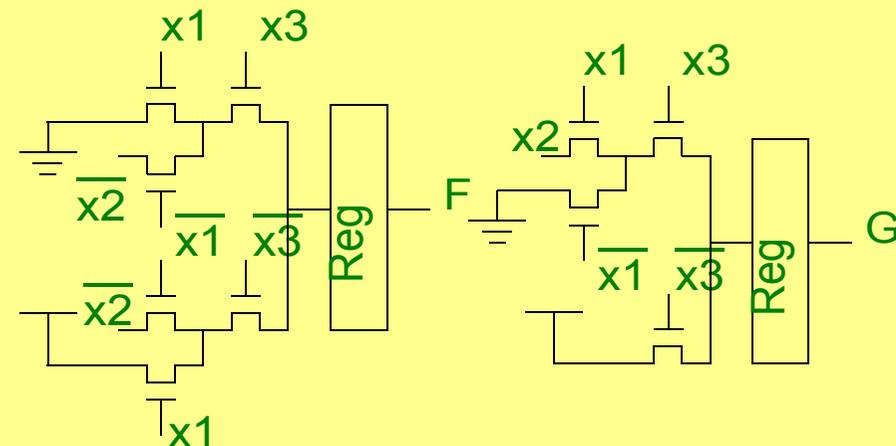
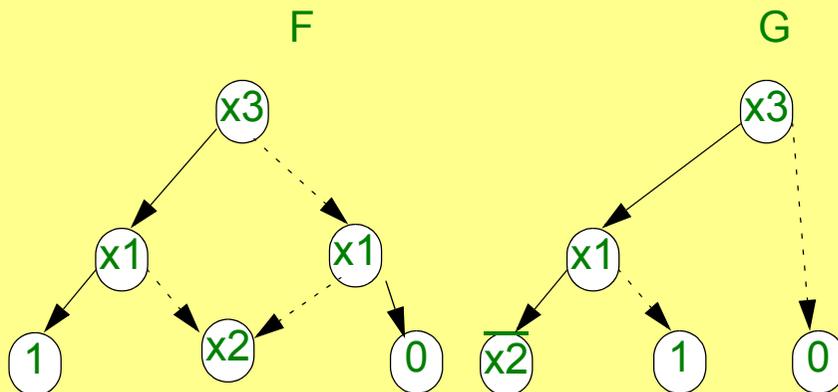
Obtención de un ordenamiento de señales bueno para la generación del ROBDD\*

Generación del ROBDD\* a partir del OBDD obtenido con el ordenamiento anterior, utilizando las reglas de reducción.

Generación del árbol de transistores de paso siguiendo la arquitectura dictada por el ROBDD\* del punto anterior.



x3	x2	x1	F	G
0	0	0	0	0
0	0	1	0	0
0	1	0	1	0
0	1	1	0	0
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0



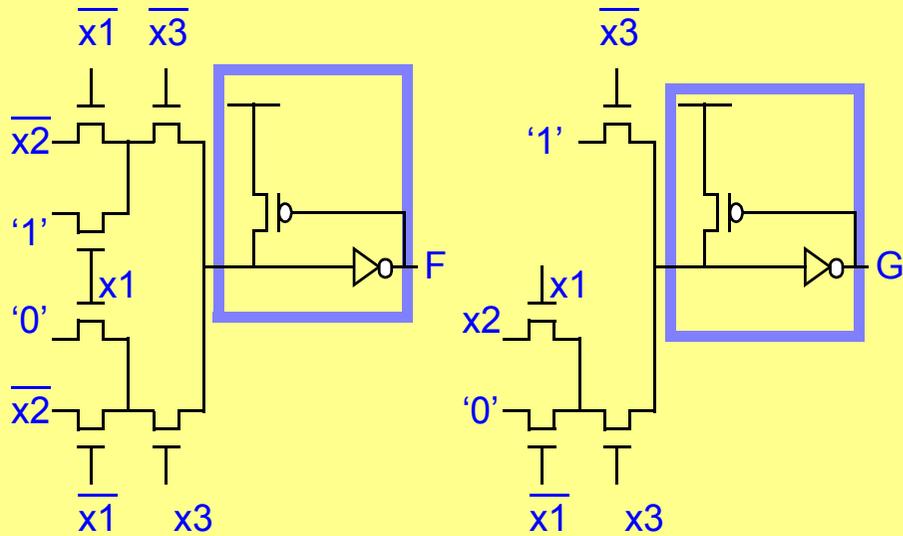
# Ejemplos de familias

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente



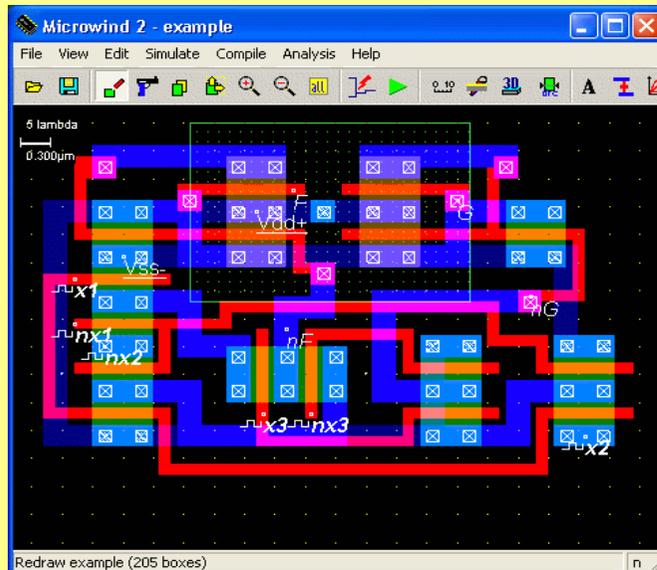
Árbol de transistores de paso no diferencial (menor número de cableado y capacidades)

Regeneración del '1' lenta

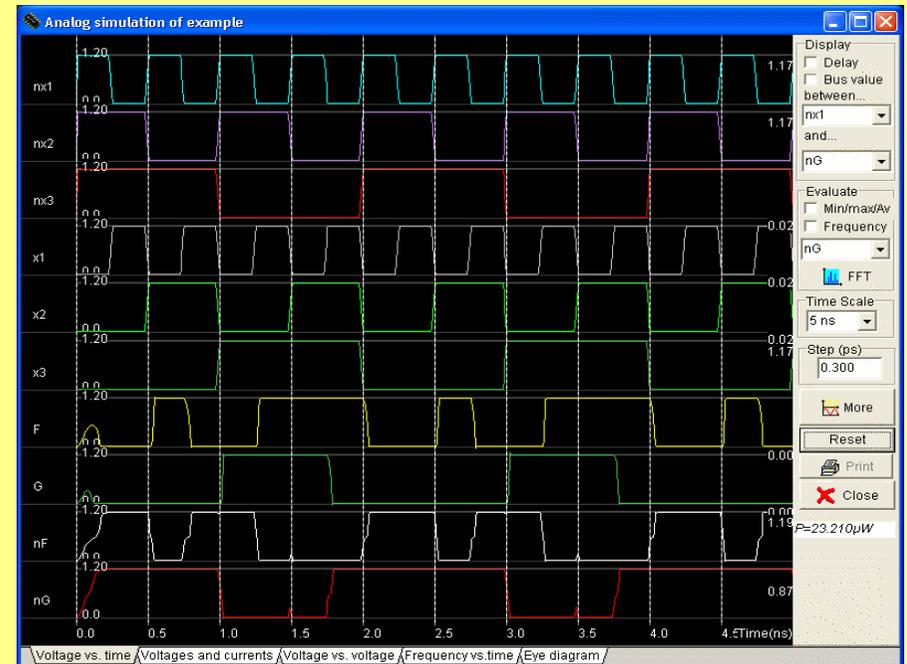
Correcto funcionamiento para  $V_{dd} > V_{tn} + |V_{tp}|$

Poco robusto frente a cambios de polarización

LEAP (Lean Integration with Pass Transistor)



$5.8 \mu\text{m} \times 3.8 \mu\text{m} = 22 \mu\text{m}^2$



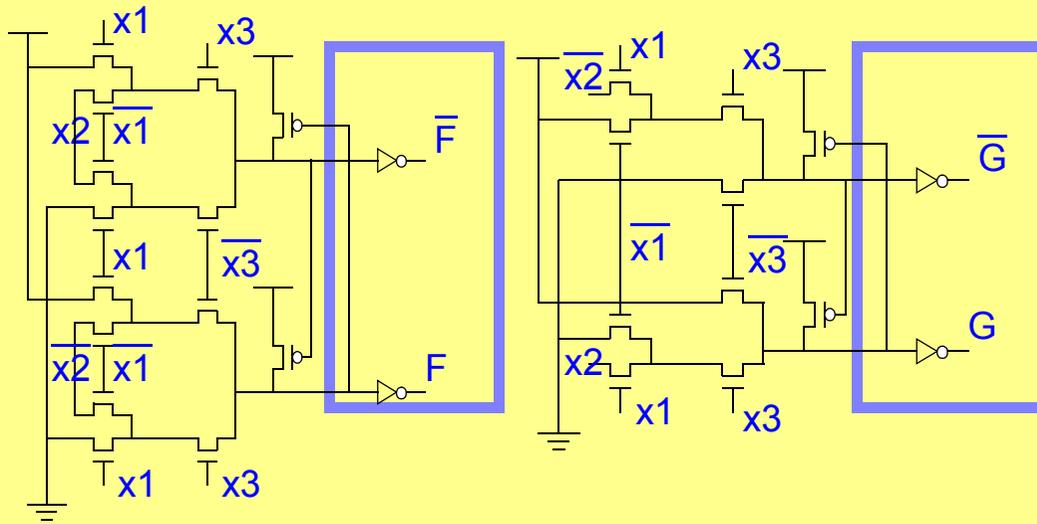
# Ejemplos de familias

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente



Capacidades de entrada pequeñas

Eficiencia de implementaciones basadas en puertas XOR

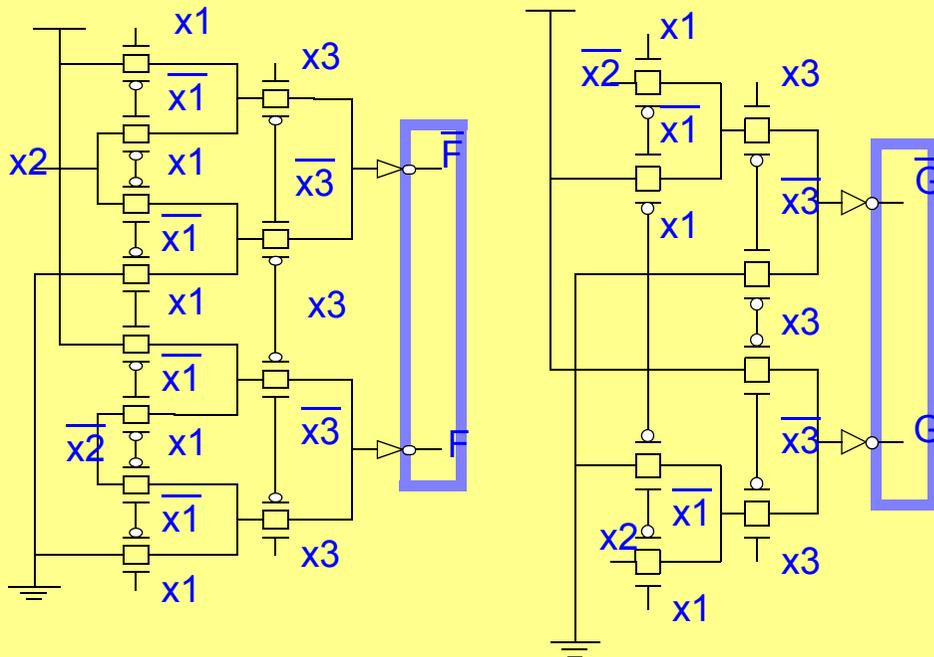
Los inversores aceleran la salida

La realimentación de los ttores PMOS aceleran la operación

El árbol diferencial produce mayores corrientes de cortocircuito

Mayor número de capacidades y cableado

## CPL (Complementary Pass Transistor Logic)



## DPL (Double Pass Transistor Logic)

El uso de llaves CMOS elimina la degradación de las señales

El uso de llaves CMOS implica un elevado número de recursos

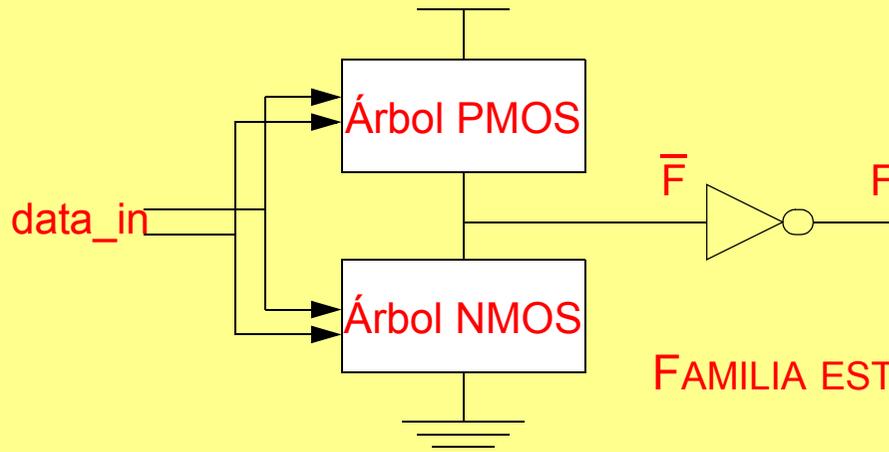
# Familias Diferenciales

Introducción

Familias de transistores de paso

**Familias diferenciales**

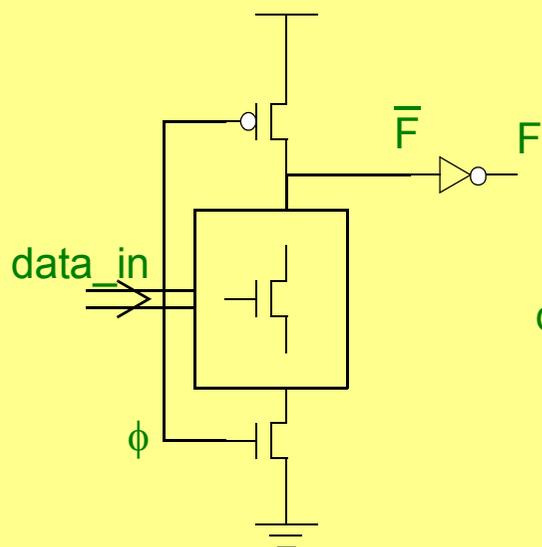
Familias en modo corriente



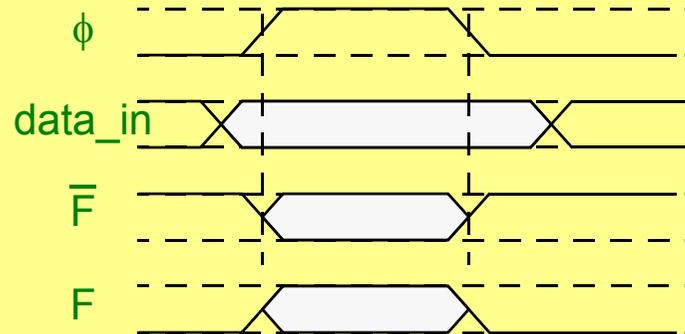
FAMILIA ESTÁTICA

FAMILIA DINÁMICA

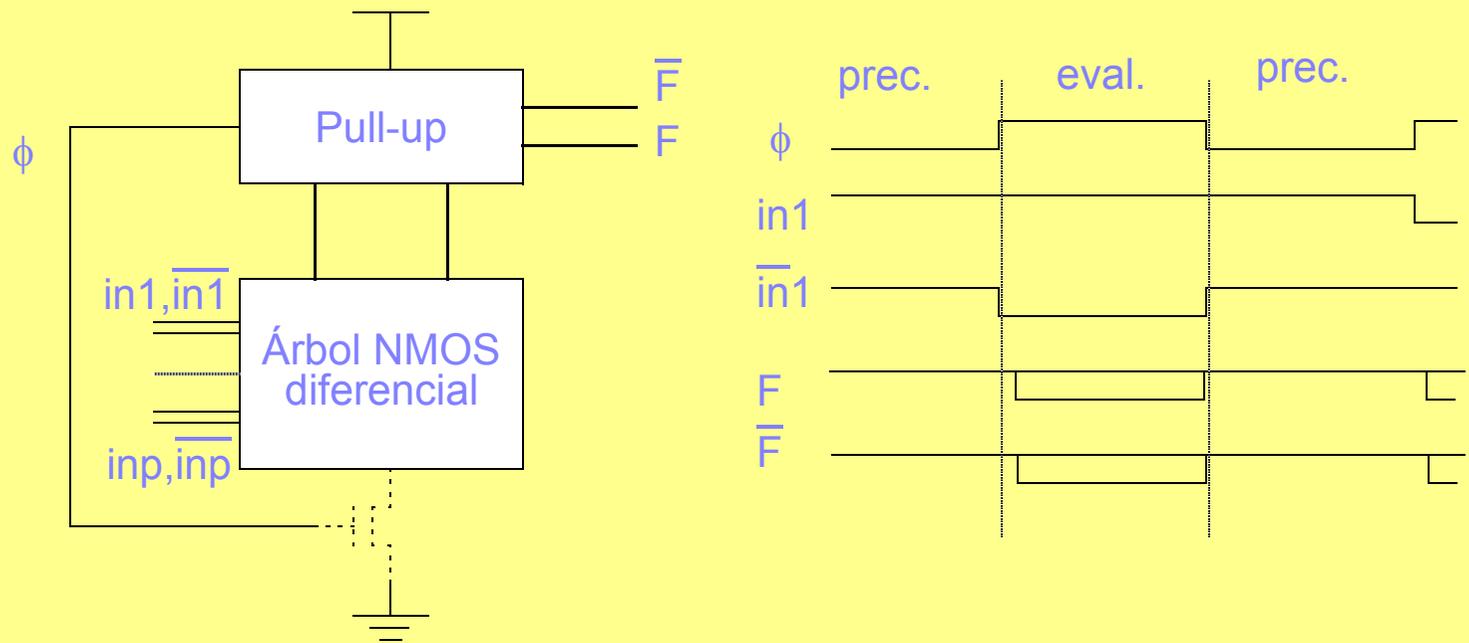
FAMILIA DIFERENCIAL



evaluación precarga



# Familias Diferenciales



Modo de operación dinámico (basado en fases de evaluación y precarga)

Codificación en doble raíl (dos líneas por dato)

dato.v	dato.f	Valor
0	0	No válido
0	1	"0" (falso)
1	0	"1" (verdadero)
1	1	No válido

Uso de un árbol diferencial => posibilidad de compartir elementos => aumento de funcionalidad

Alta velocidad y baja generación de ruido

Introducción

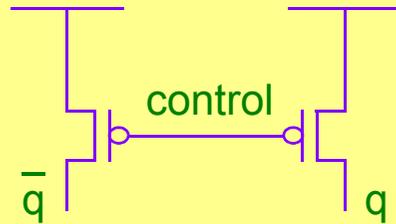
Familias de transistores de paso

**Familias diferenciales**

Familias en modo corriente

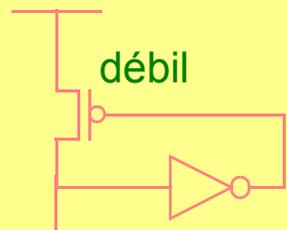
# Familias Diferenciales

## COMOPONENTES DEL BLOQUE DE CARGA



Transistores de precarga  
(Transistores controlados por la señal de control)

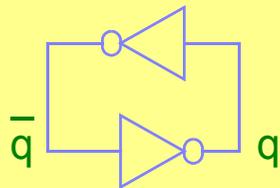
Coloca los valores de precarga en las salidas



Par transistor PMOS débil-inversor

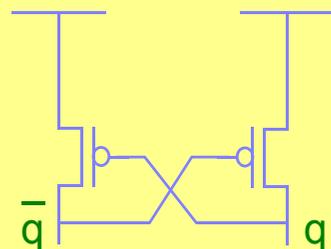
Consigue que un '1' almacenado dinámicamente, se almacene de forma estática

El carácter débil es necesario para permitir el posible cambio de la señal en la nueva fase de evaluación



Amplificador de sensibilidad

(Cualquier estrategia de realimentación positiva que obtiene valores lógicos de forma rápida)



La realimentación de dos inversores forzará un valor lógico *bueno* en  $\bar{q}$  cuando la señal  $q$  haya pasado la zona prohibida

Existen amplificadores de dos niveles (inversores realimentados) y de un solo nivel (transistores realimentados)

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

# Diseño lógico

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

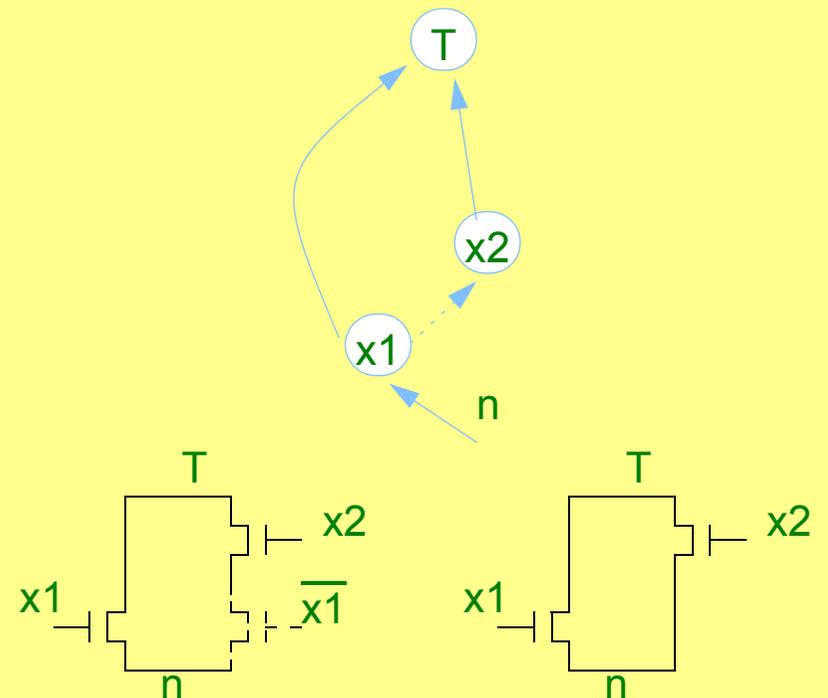
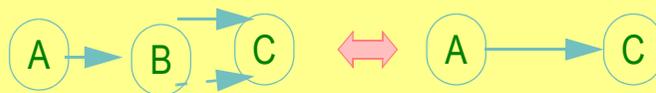
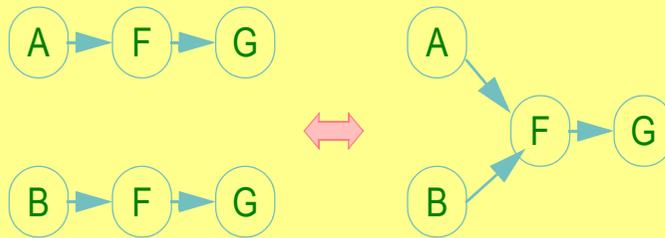
Utilizando BDD, un diseño similar a árbol de transistores de paso con las siguientes diferencias

Las señales de entrada sólo pueden estar conectadas a las puertas de transistores

Los nodos de polarización son etiquetados como T ('1') y F ('0'), que se corresponden a cada una de las salidas del árbol diferencial

La jerarquía del árbol será la contraria, estando el último nodo conectado a masa

Las reglas de reducción aplicables son las siguientes (un poco diferentes de la familia de transistores de paso)



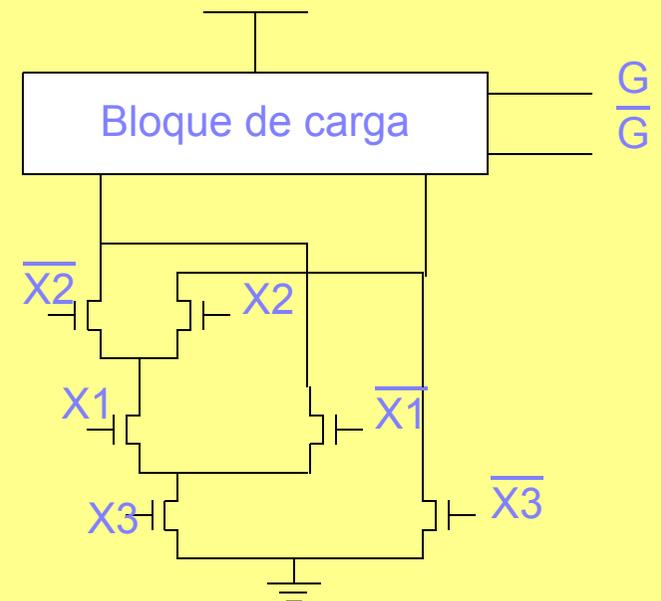
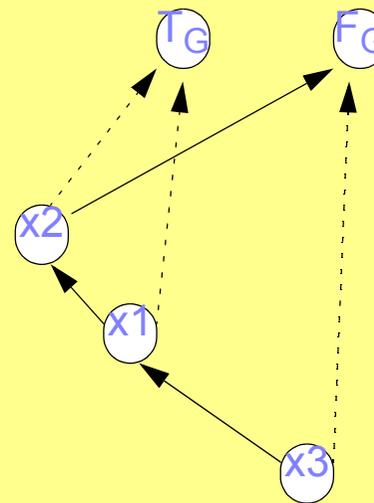
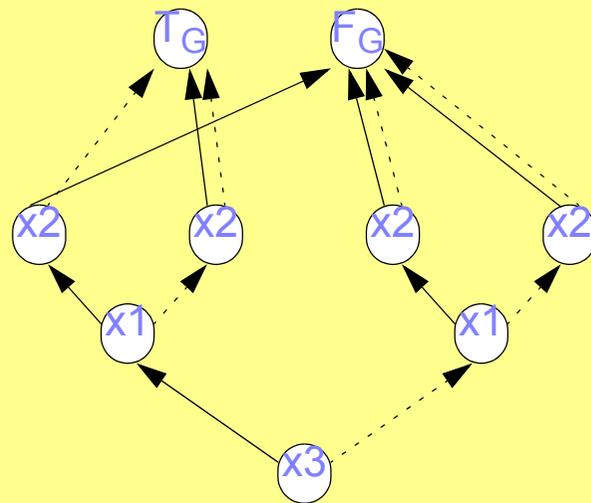
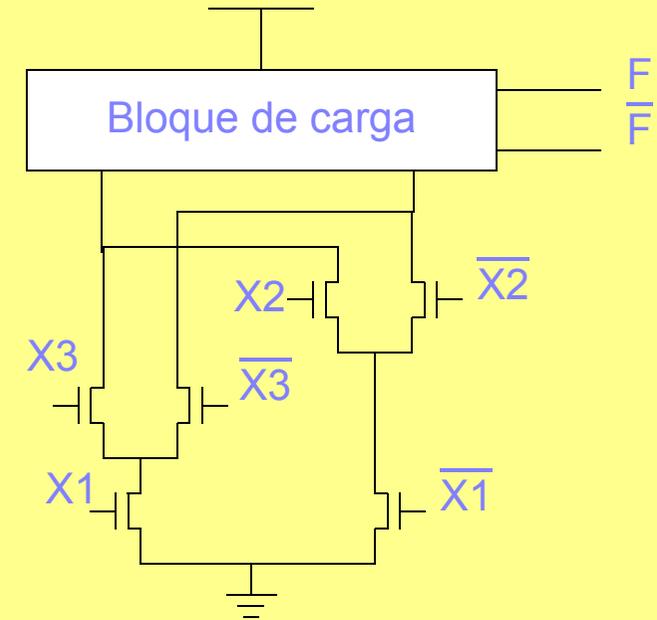
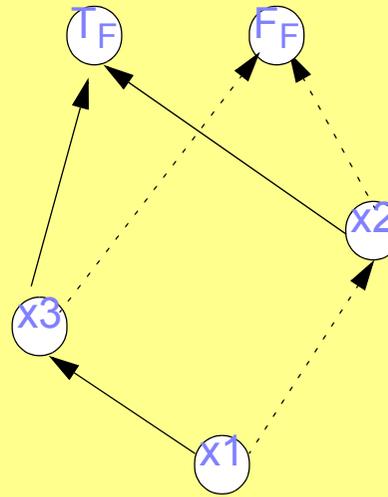
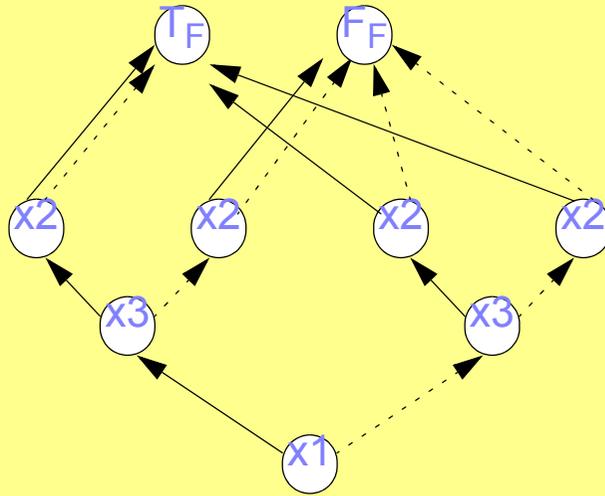
# Diseño lógico

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente



x3	x2	x1	F	G
0	0	0	0	0
0	0	1	0	0
0	1	0	1	0
0	1	1	0	0
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0

# Introducción

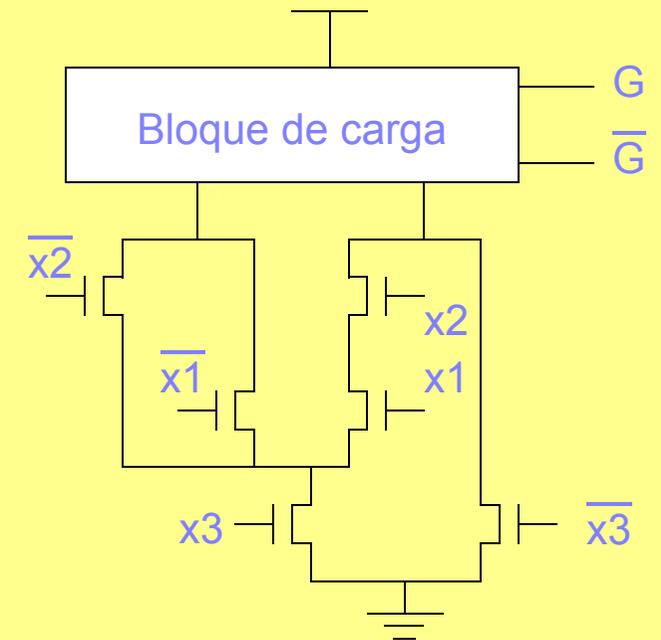
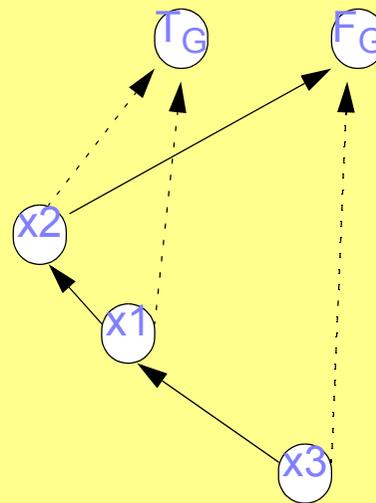
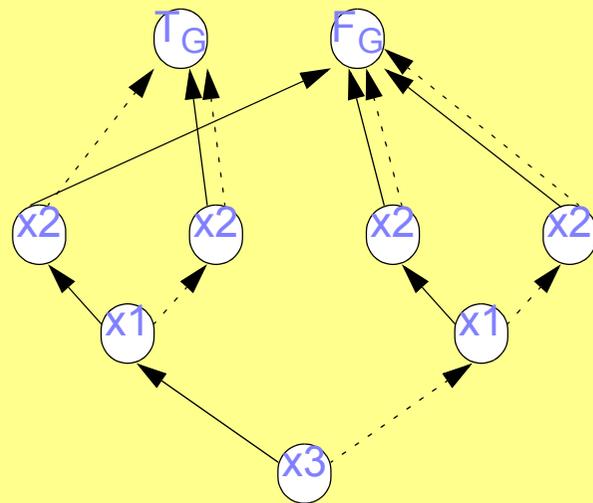
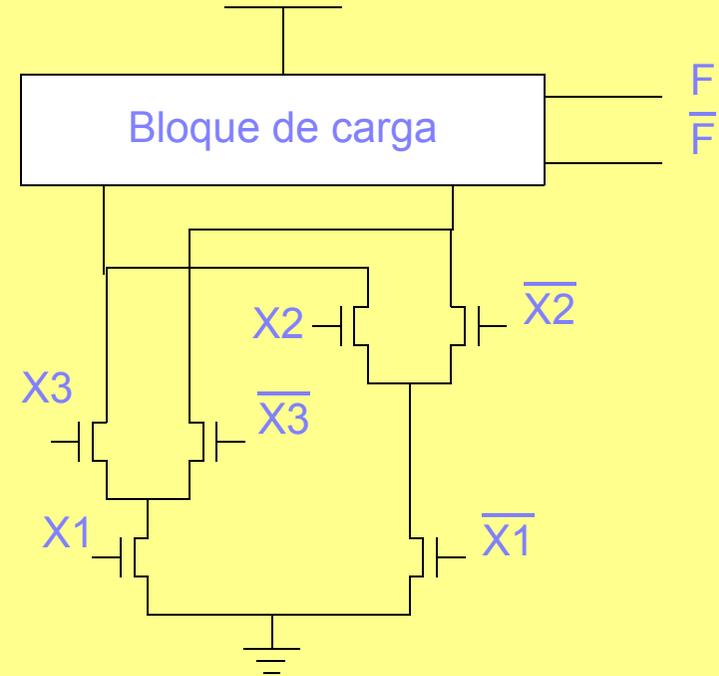
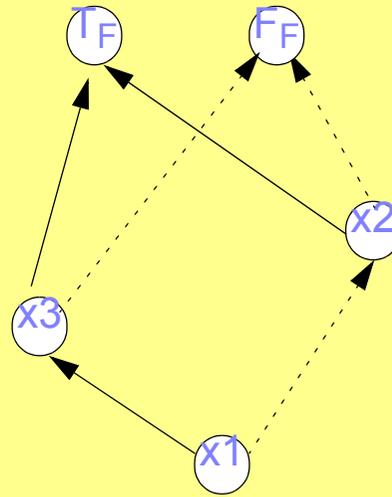
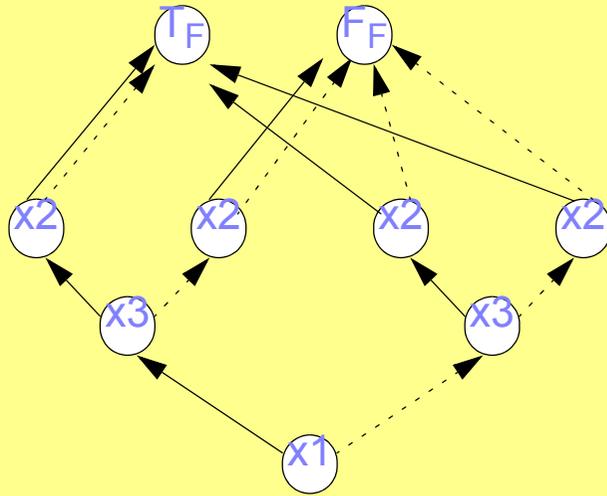
Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

x3	x2	x1	F	G
0	0	0	0	0
0	0	1	0	0
0	1	0	1	0
0	1	1	0	0
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0

# Diseño lógico



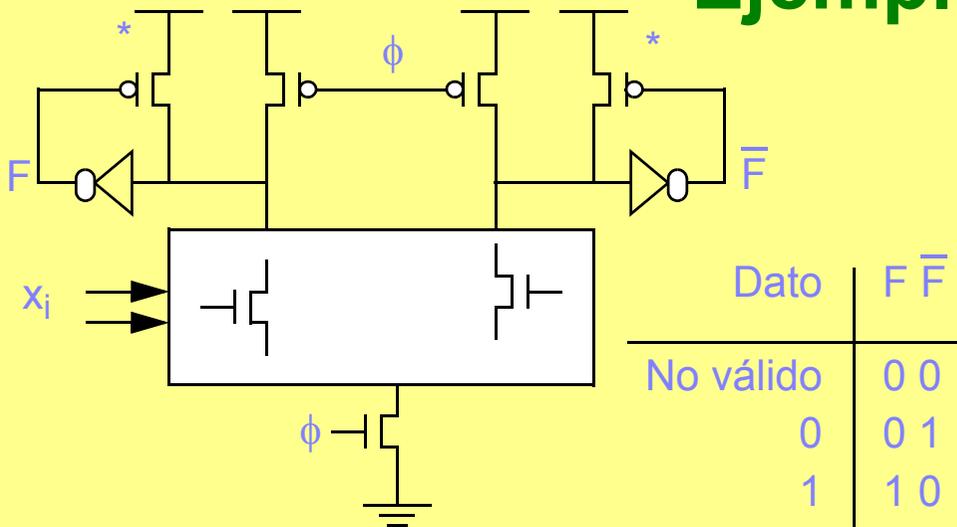
# Ejemplos de familia

Introducción

Familias de transistores de paso

Familias diferenciales

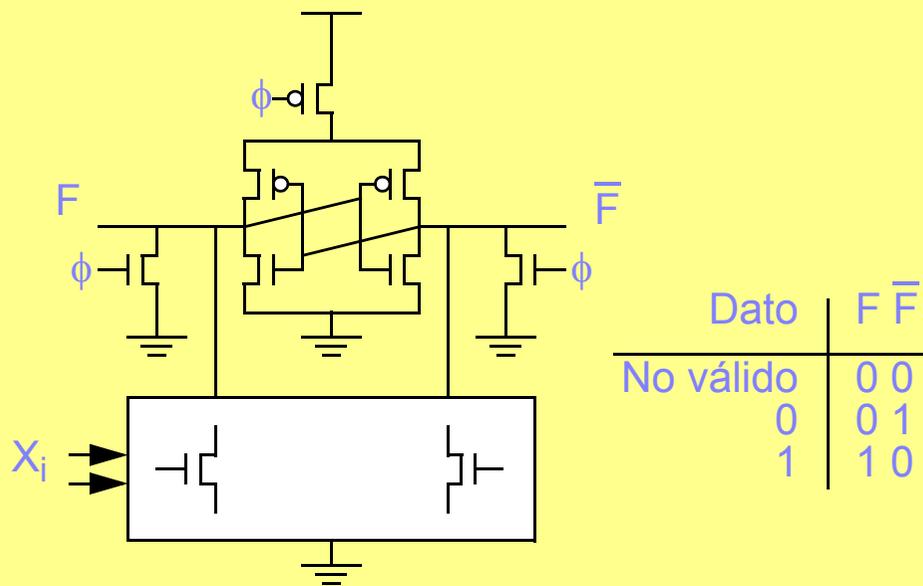
Familias en modo corriente



Dato	$F$	$\bar{F}$
No válido	0	0
0	0	1
1	1	0

DCVSL

(Differential Cascode Voltage Switch Logic)



Dato	$F$	$\bar{F}$
No válido	0	0
0	0	1
1	1	0

ECDL

(Enable/Disable Differential Logic)

La existencia de los transistores de salida provocará un aumento del fan-out de la puerta

Aumento del retraso y potencia debido a los inversores

El transistor NMOS de precarga aumenta la capacidad del árbol

La utilización del amplificador de sensibilidad de dos niveles provoca un aumento en la velocidad

Los transistores NMOS de precarga en esta configuración no aumenta la cadena serie de ttores del árbol

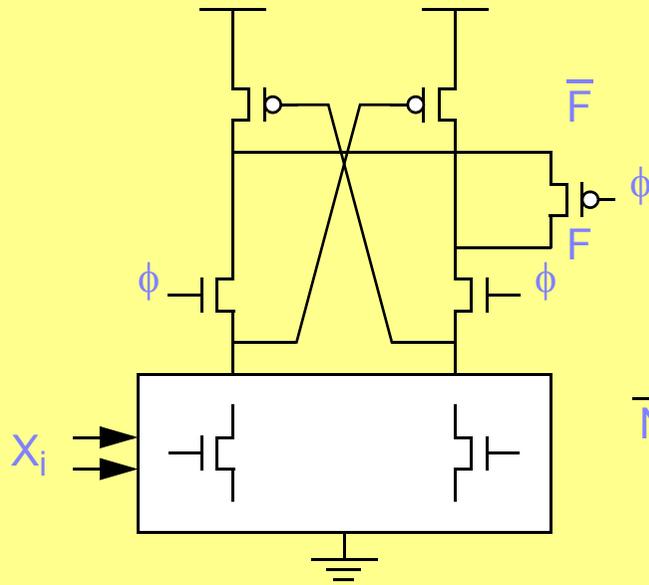
# Ejemplos de familia

Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente



Dato	F	$\bar{F}$
No válido	1	1
0	0	1
1	1	0

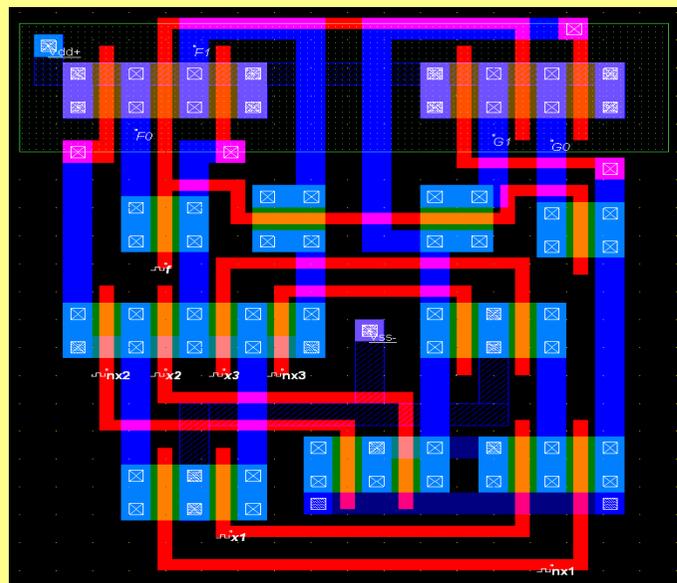
SODS

(Switched Output Differential Structure)

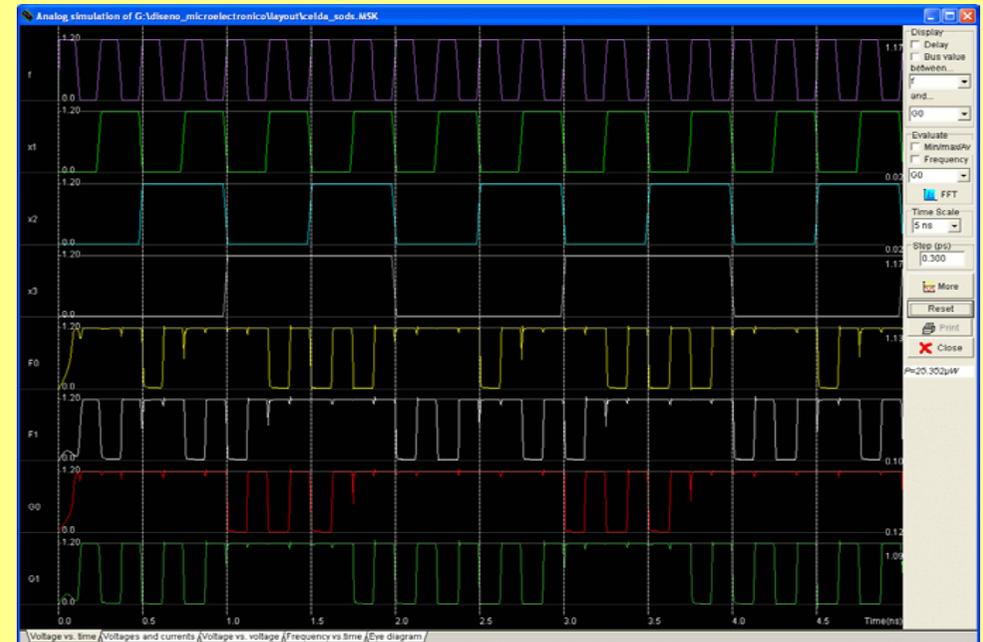
El amplificador de sensibilidad de un nivel aumentará la velocidad

El transistor de precarga no involucra directamente a la polarización ni a la tierra (disminución de potencia)

La transmisión del '1' a través de los ttores NMOS de precarga implica un menor swing en las salidas del árbol



$$5.34 \mu\text{m} \times 5.96 \mu\text{m} = 31.7 \mu\text{m}^2$$



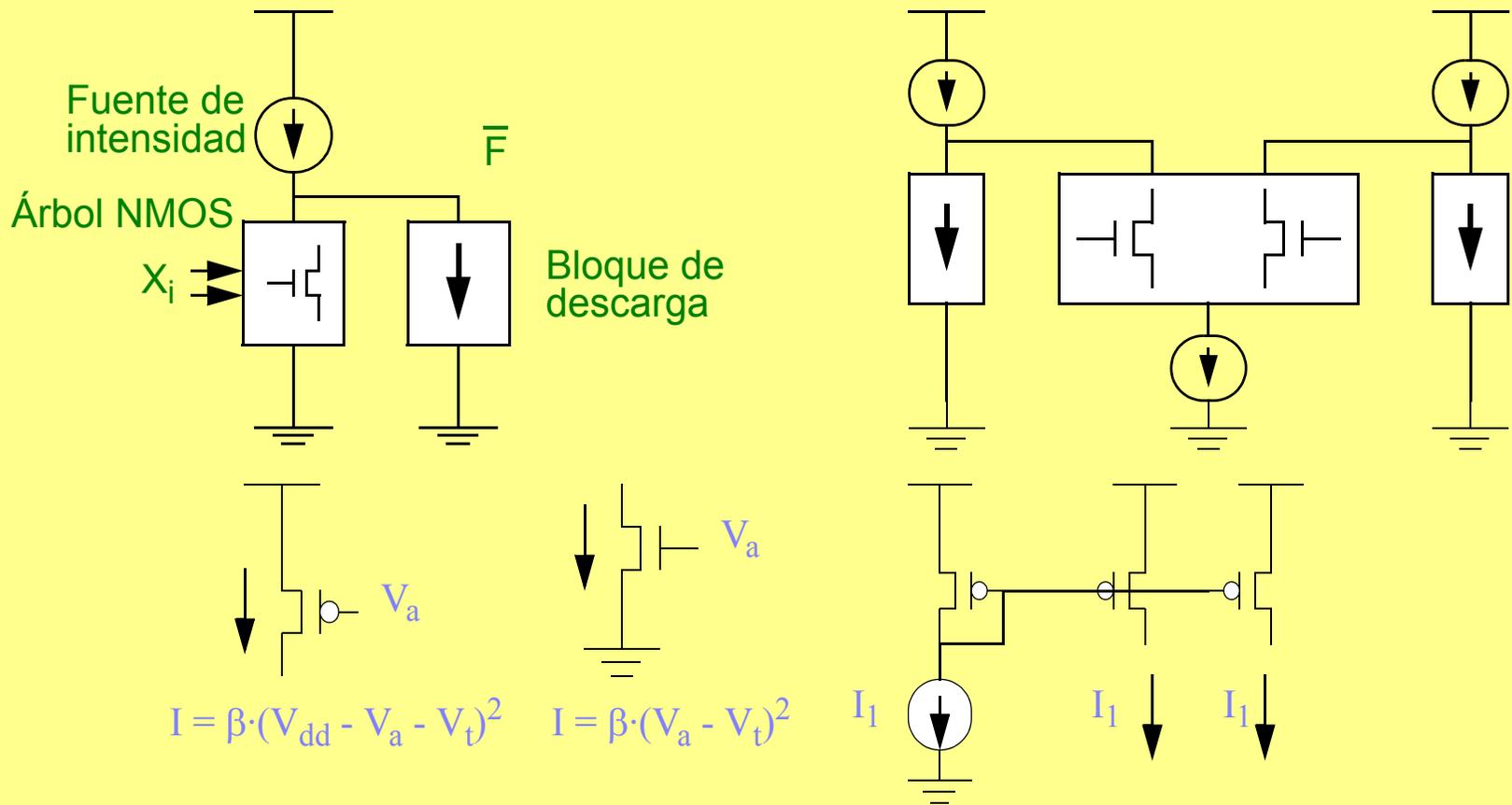
# Familias en modo de corriente

Introducción

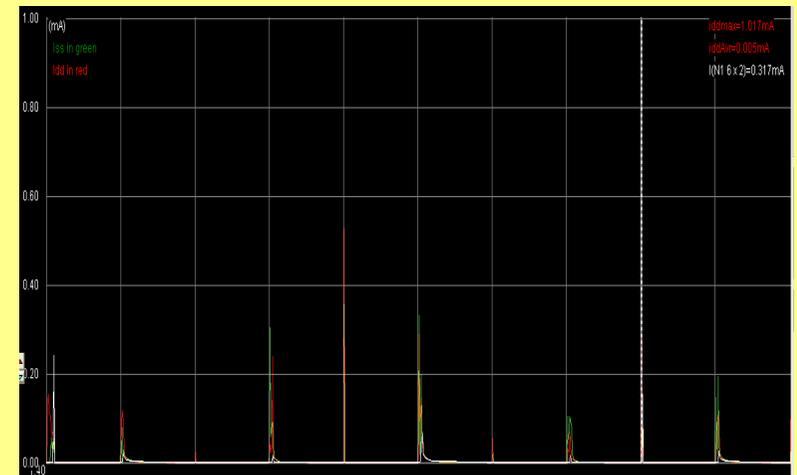
Familias de transistores de paso

Familias diferenciales

Familias en modo corriente



El ruido de conmutación se puede definir como cualquier desviación de las fuentes de polarización debido a la conmutación de las señales digitales, lo cual se traduce en la presencia de picos de intensidad y tensión en la fuente de polarización y el nodo de tierra



# Familias en modo de corriente

Introducción

Familias de transistores de paso

Familias diferenciales

**Familias en modo corriente**

Presencia de fuente de intensidad (idealiza la fuente de polarización)

El árbol NMOS no diferencial será el mismo que el de la familia CMOS estática

El árbol NMOS diferencial será el mismo que el de cualquier familia diferencial

El bloque de descarga puede ser un diodo o una fuente de intensidad controlada por tensión

Principales características insensibles a los parámetros tecnológicos

Familias de muy bajo ruido

Consumo de potencia en estática ( $V_{dd} \cdot I$ ), familias con mucho consumo

Uso en zonas limítrofes con las de mayor sensibilidad

Niveles lógicos no compatibles con otras familias, incluso del mismo tipo

# Diseño lógico

Introducción

Familias de transistores de paso

		x3	x2		
	x1	00	01	11	10
	0	0	1	1	0
	1	0	0	1	1

$$F = x2 \cdot \overline{x1} + x3 \cdot x1$$

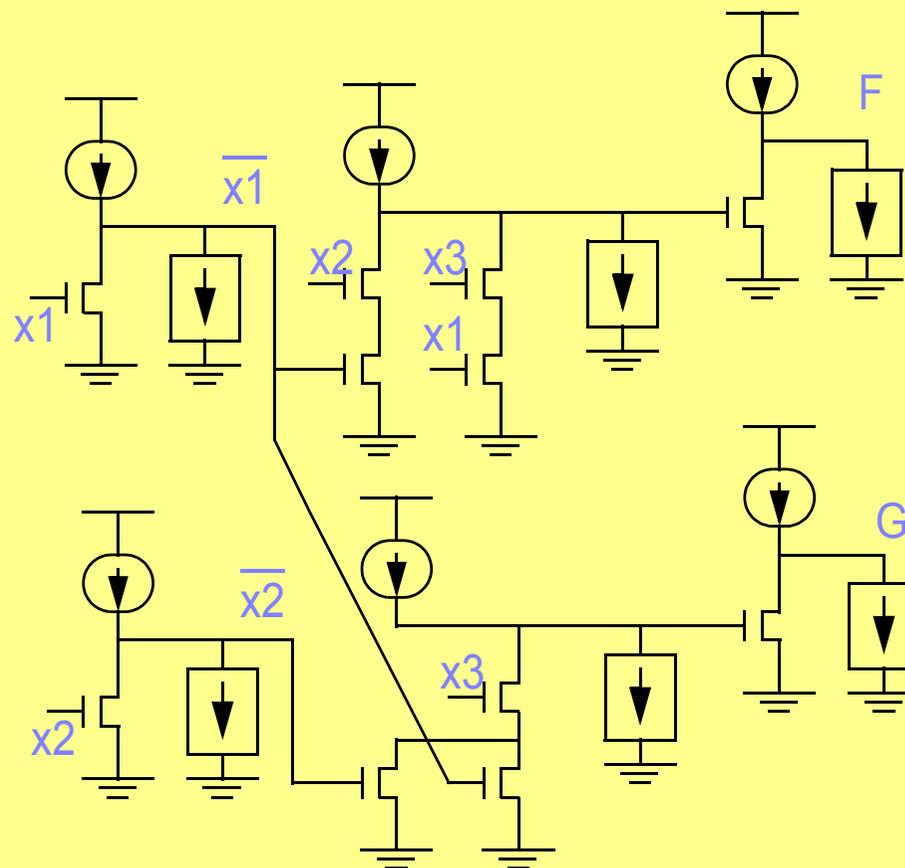
		x3	x2		
	x1	00	01	11	10
	0	0	0	1	1
	1	0	0	0	1

$$G = x3 \cdot \overline{x1} + x3 \cdot \overline{x2}$$

Familias diferenciales

Familias en modo corriente

x3	x2	x1	F	G
0	0	0	0	0
0	0	1	0	0
0	1	0	1	0
0	1	1	0	0
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0



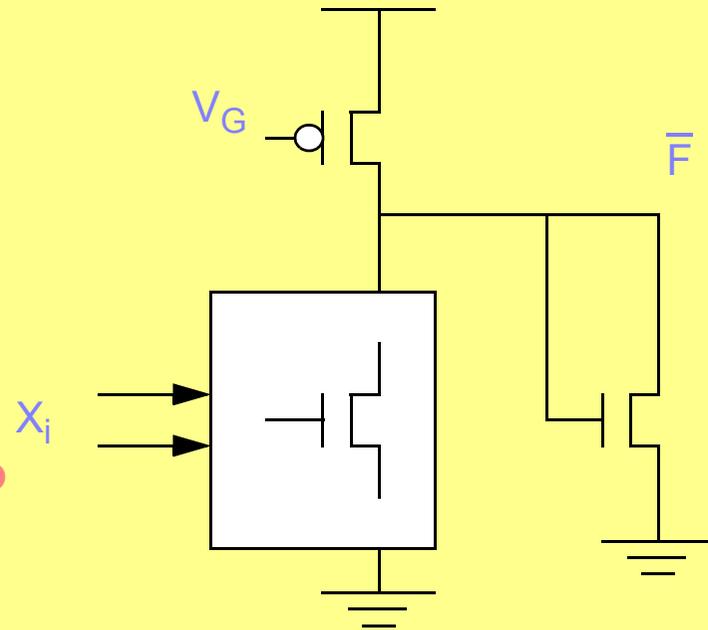
# Ejemplos de familia

Introducción

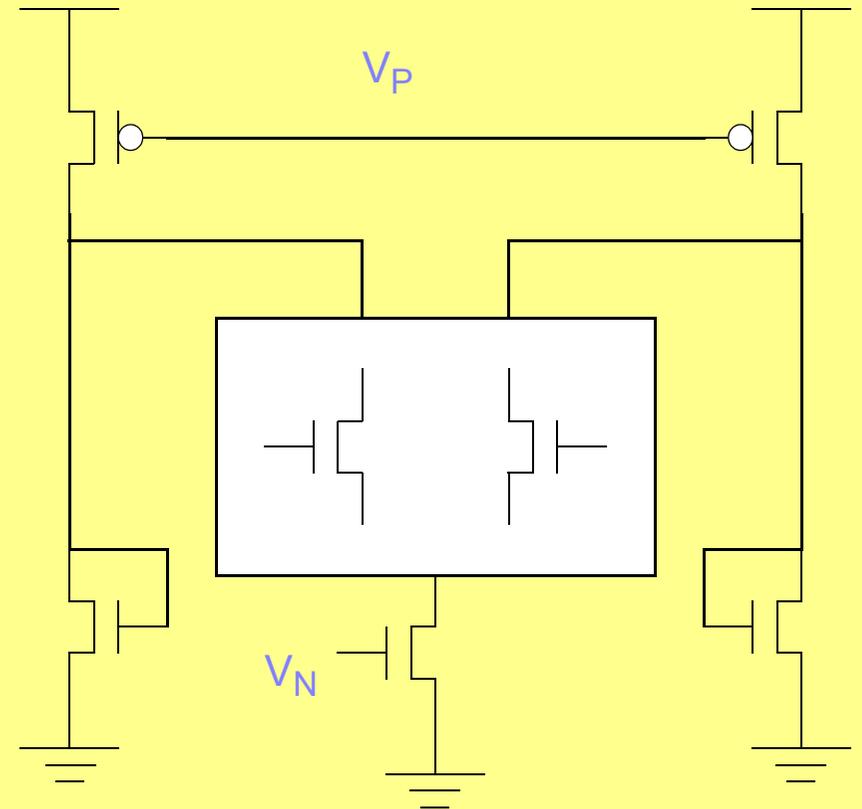
Familias de transistores de paso

Familias diferenciales

Familias en modo corriente

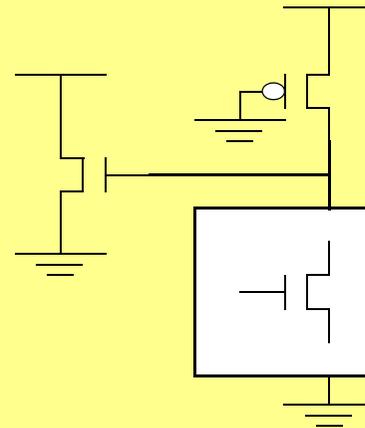


CSL  
(Current Steering Logic)

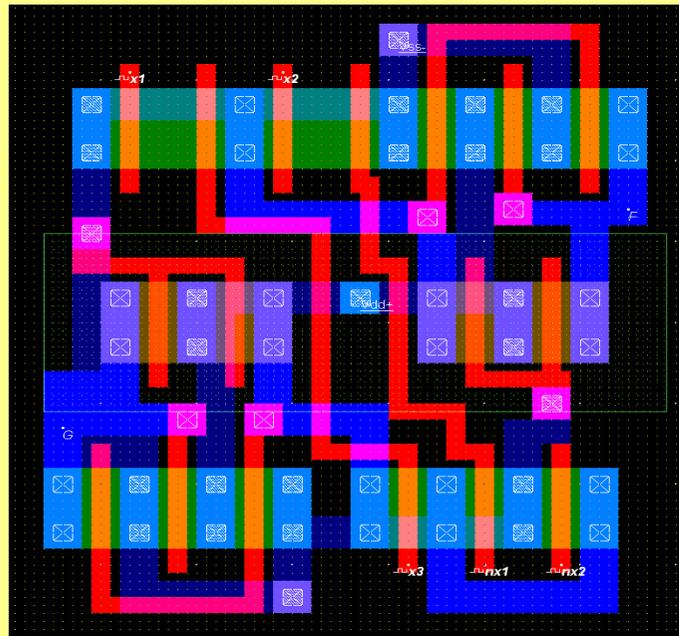


FSCL  
(Folded Source-Coupled Logic)

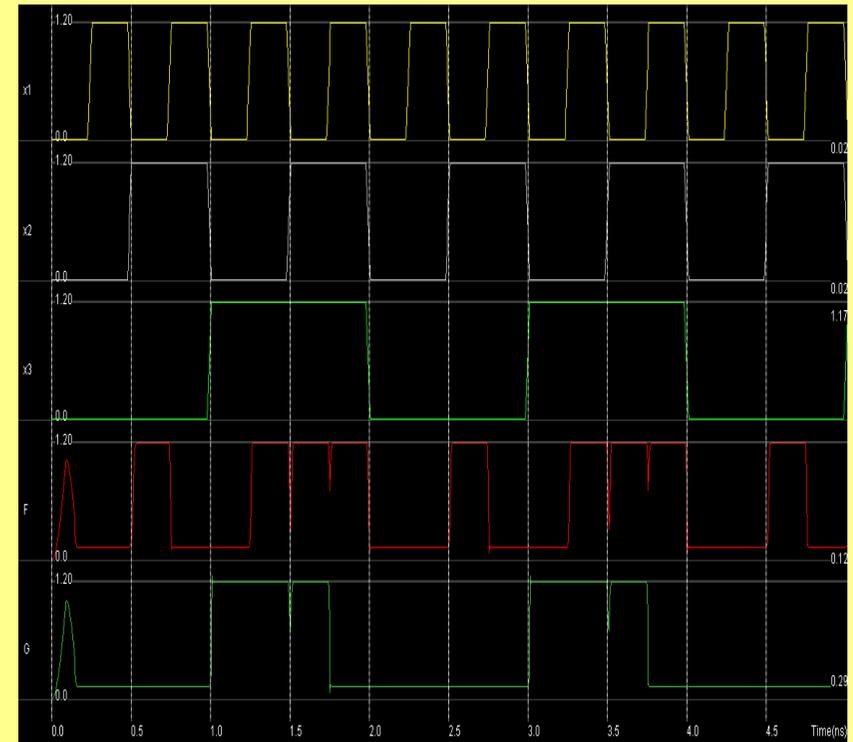
# Ejemplos de familia



CBL  
(Current Balanced Logic)



$3.96 \mu\text{m} \times 4.38 \mu\text{m} = 17.4 \mu\text{m}^2$



Introducción

Familias de transistores de paso

Familias diferenciales

Familias en modo corriente